

# E-sys 活動報告

Status of electronics system group IPNS

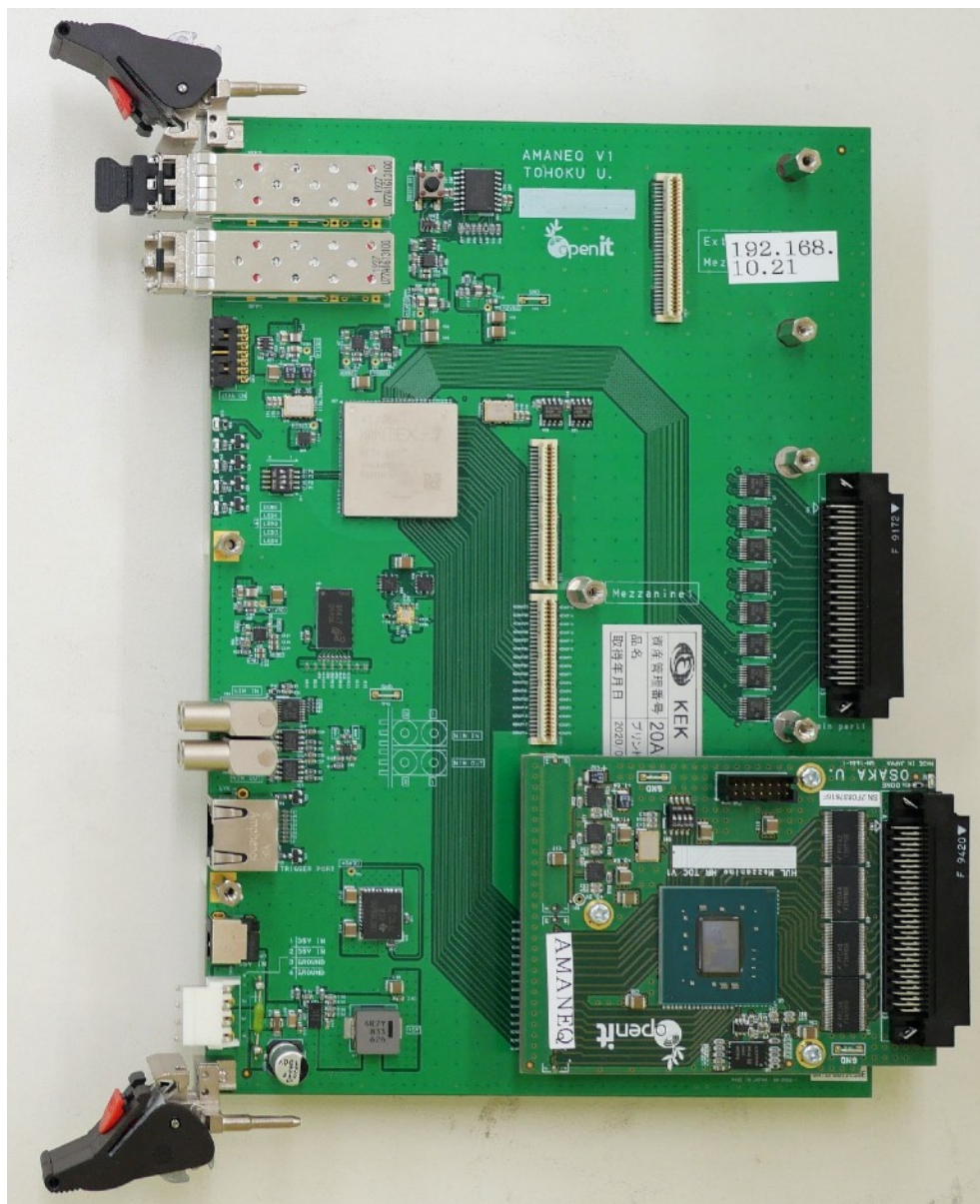
June  
2021

contents

- プロジェクトへの貢献
- 萌芽研究・技術開発
- 教育をベースとした共同開発と学際連携
- 国際連携・社会貢献等
- E-sysの人



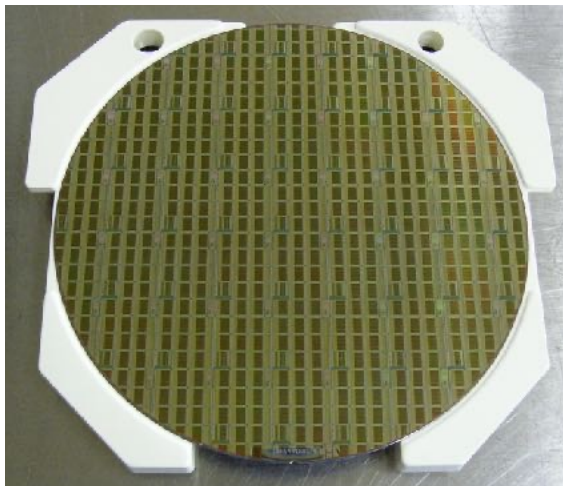
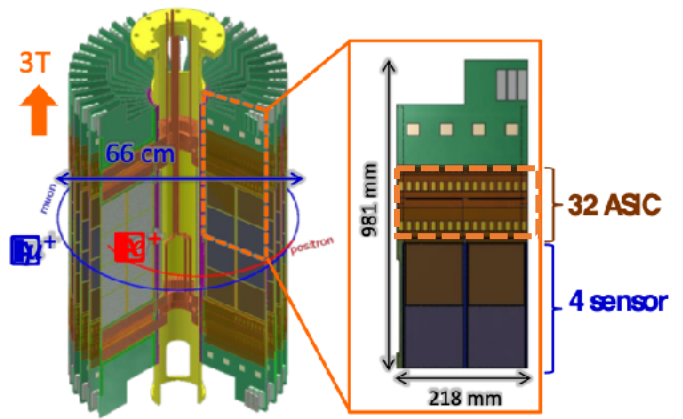
新たな現象や非常に稀な現象を捉えることを目標とする世界最先端の研究において、センサーや信号処理システム等の装置は世界に1つしか無いため自分自身で開発しなくてはなりません。エレクトロニクスグループでは、このような世界に1点だけの実験装置のセンサーからシステムに至るまでを各実験グループと連携して開発し、それらをOpen-Itを通して知と技術の共有を行っています。



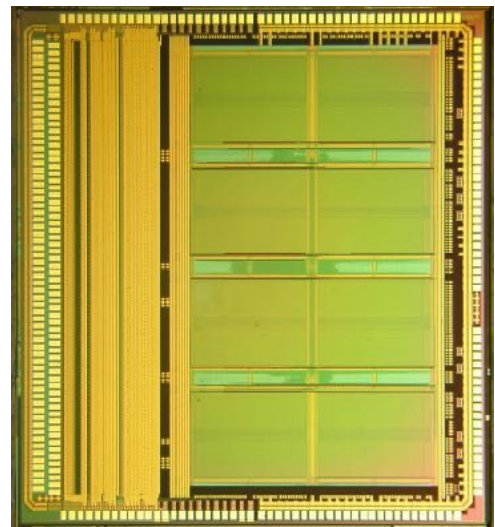
写真の説明：AMANEQの写真。10GbitのSiTCPを搭載した汎用データ収集モジュール。右下のスロットにHR-TDCのメザニンカードを取り付けた状態。詳細はE-sys東海報告を参照のこと。

エレクトロニクスシステムグループ (E-sys)は、つくばキャンパス(E-sysつくば)と東海キャンパス(E-sys東海)の2カ所の研究開発教育拠点からなります。

E-sysつくばは半導体検出器および信号処理用エレクトロニクスの要素開発(集積回路開発、PCB:Printed Circuit Board開発)に関しE-sys東海と連携し研究開発を推進しています。技術特徴は半導体検出器・信号処理用エレクトロニクスの要素開発(集積回路・PCB)です。



写真の説明：g-2/EDM シリコンストリップ検出器用信号処理集積回路(SiIT)の量産ウエハ写真。



写真の説明：上図はg-2?EDM実験のためのシリコンストリップを使用した検出装置の図でミュオン崩壊を測定するためにシリコンストリップ検出器が縦に並べられており、その検出器の信号を処理するための集積回路を搭載する部分がオレンジの点線で示された部分である。下の写真はSiITの写真で、信号処理用の低雑音アナログフロントエンド回路及び時間情報等を取り込み後段のエレクトロニクスへ転送するための複雑なデジタル回路やアナログフロントエンド回路の制御用デジタル回路が実装されている。

## プロジェクトへの貢献 E-sysつくば

前回はBelle-II CDC用フロントエンド集積回路開発について報告しましたが、今回はg-2/EDM実験用シリコンストリップ集積回路に関して報告します。

g-2/EDM実験の要請として、シリコンストリップセンサーからの信号の大小にかかわらず、信号到着時刻の精度を5nsec未満にすることが、高ヒットレート環境下で求められており、更に高密度実装(100μmの幅内に全ての回路を入れる)を行い、真空中で動作させるために低消費電力化も行う必要があるため、開発には困難を伴いました。これらの問題を解決するために、複数のアイデアをもとに岸下さんを中心に開発し、時間精度1nsecを実現し、**日本初の”オールジャパン”の高エネルギー加速器実験用シリコンストリップ半導体測定装置の開発に目処がつかしました。**

これらに関しては昨年度素粒子原子核研究所のニュース<https://www2.kek.jp/ipns/ja/post/2020/03/20200309/>で取り上げていただきわかりやすく解説をさせていただいております。その後実験グループと協力し性能の確認等を急ピッチで行い、**g-2/EDM実験用シリコンストリップ検出器用集積回路の量産が終了し、1チップあたり128チャンネルの集積回路が7000チップ以上完成しました。**

左上の写真は量産用半導体プロセスを使用して製造した集積回路の写真で、**直径8インチのウェハー上に400個の集積回路が載っています。**現在はこのウエハから一つ一つ集積回路を切り出し、性能を評価しつつ、検出器読み出し用基板へ実装していくという作業を進めようとしているところです。

Esys東海では主にJ-PARC:現場で開発や改良が必要であることが多いデジタル技術を中心として研究開発を行いつつ、J-PARCセンター利用者が専門家と連携し研究開発を進めるため、共同利用実験室を設置し開発に必要な測定器などの機材も用意しており、毎日大学院生・若手研究者が利用しています。

技術特徴はASIC、FPGAに搭載するデジタル回路開発、10Gbpsを超える高速転送技術、データ収集システムの構築やデータ収集用プラットフォーム開発です。



写真の説明：東海2号館に開設したEsysの実験スペース。J-PARCでの研究開発等に活用している。

## プロジェクトへの貢献

### E-sys東海

今年より技術職員の庄子さんを新たに東海勤務者として迎え東海分室常駐者の人数が4人に増えました。これに伴い研究開発場所が足りなくなったためディビジョン長、セクション長等のご尽力により東海2号館に実験スペースを開設することができました。

AMANEQ (表紙写真のボード)

Trigger-less DAQではハードウェアトリガーでイベント選別を行わない事から、フロントエンド回路は全検出信号をデータストリームとしてPCへ送信します。この場合データリンクスピードと、十分なサイズのメモリが必須です。AMANEQはこの目的を達成するために開発された**データ収集用汎用デジタルボード**であり、**10Gbpsまで転送可能な高速ランシーバ(光モジュール) 2レーン**を備え、**2GBのDDR3-SDRAM**を実装しています。また、回路に汎用性を持たせるため、機能拡張用のメザニンスロットを2つ有しています。メザニンスロットはすでにJ-PARCハドロンで利用されているHULモジュールと互換となっており、資産の再利用が出来るよう配慮されています。更に回路上の様々な部分がHULを踏襲した設計となっており、HUL用のFPGAファームウェアの再利用も少ない労力で可能となっています。他にも**磁場中動作を考慮した部品選択、Belle実験と互換のトリガー**(trigger-lessの場合マスタークロック)ポート、35V単電源での動作など利便性を考えた工夫が随所に凝らされています。



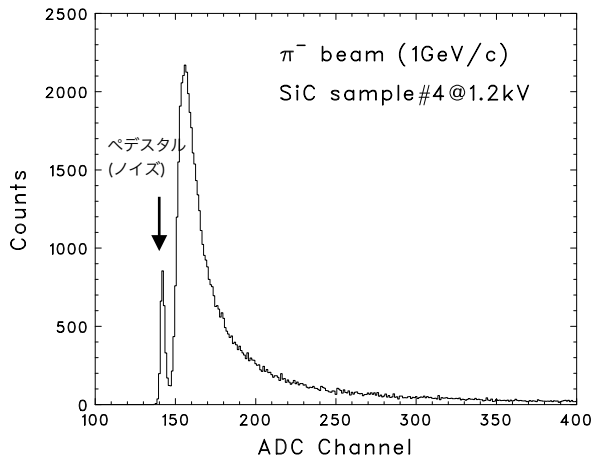
写真の説明：Esysが開発した連続読み出しTDCを実装した回路の写真。FCTとHULにそれぞれ異なったデザインのTDCが実装されている。

HULと合わせて様々な場面での利用を提案していきたいと考えます。

FCTとHULを用いた連続時間測定

COMET実験における8 GeV bunched-slow-extractionでは一次陽子がバンチ以外に漏れる量を $10^{-10}$ 以下に抑える必要があります。今年5月にこの事が達成できているかを確認するためのCOMET 8 GeVビーム試験が行われました。試験では取り出されたビームがどのような時間構造を持っているのか調べる必要があります。検出器が出力した信号全てにタイムスタンプを付与しなければなりません。そのためには、連続時間読み出しとデータストリーミングが可能な特殊なTDCが必要です。E-sysでは写真のFCTとHUL用にそれぞれ独立の連続読み出しTDCを開発して、COMET 8GeV試験に導入しました。

加速器の高強度・高輝度化のトレンドに  
 そって計測装置の高耐環境性能・多チャ  
 ネル高集積・高機能化は更に必要になっ  
 てきています。そこで我々は長期的視点に立  
 ち、加速器科学で使用する計測技術を先導  
 するためセンサーを含む半導体デバイス開  
 発、高集積、高機能、広帯域をキーワード  
 として、ピクセル検出器を含む低雑音フロ  
 ントエンド、高密度実装、デジタイザ、  
 ネットワーク分散データ処理システム開発  
 などを行っています。

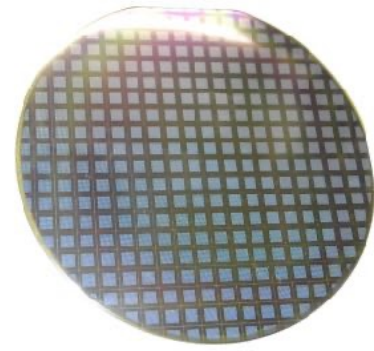


写真の説明：COMET実験グループと共同で行った、J-PARCのビー  
 ム試験における窒化珪素(SiC)検出器の評価結果。きれいにランダウ  
 分布が観測できた。150チャンネル付近のピークはノイズによるも  
 のである。

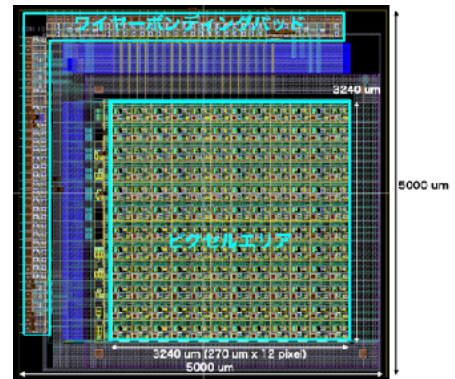
## 萌芽研究・技術開発

加速器の高強度・高輝度化に伴い、衝突点もしくは  
 固定標的から発生する荷電粒子の量が増加するため  
 より速い応答速度を持つ小型の検出素子が必要になっ  
 ています。このため我々は現在ワイドギャップ半導体  
 と呼ばれる半導体を使用したピクセル検出器の開発を  
 行っており、J-PARC等で行われる実験で実用化を目  
 指し研究開発をしています。ワイドギャップ半導体と  
 言っても多くの種類がありますが、今回は**炭化珪素  
 (SiC)**と呼ばれる材料を使用した**検出素子開発**につ  
 いて報告します。

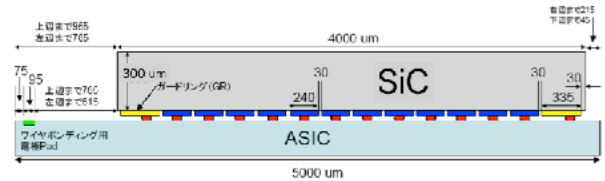
炭化珪素は産業用途としては、高圧高電流用のス  
 イッチング素子に多く用いられており、自動車、電車  
 等の制御部品として使用されています。一方検出素子  
 としては、近年紫外線モニター等に用いられるよう  
 になってきました。またヨーロッパでは加速器実験用の  
 飛跡検出器として研究開発が行われていました。一方  
 日本では検出素子として研究開発された例はほとんど



写真の説明：産総研と共同開発したSiCセンサー。4インチウェハ  
 ープロセスを使用し、1枚あたり5mm角の素子が260個が得られる。



写真の説明：ピクセル状のセンサー電極からの信号を処理するた  
 めの専用集積回路のレイアウト。現在、センサーと接続した試験を開始  
 している。



写真の説明：電極をピクセル状に分割したSiCセンサーと、電極と同  
 面積のピクセル面積に信号処理回路を高集積した読み出しチップをパ  
 ンブ技術を用いて1:1に接合することで粒子飛跡検出器やイメージン  
 グデバイスとして用いる。

なかったのですが、産業技術総合研究所のグループと  
 共同で研究開発を行い上図のピクセル検出器を開発で  
 きました。並行してこのピクセル検出器の信号を読み  
 出すための集積回路も開発し、現在フリップチップボ  
 ンディングという技術を用い検出素子と信号処理回路  
 を接続し試験を開始しようとしているところです。

予想される困難は、検出素子の歩留まりとフリップ  
 チップボンディングの歩留りに制限される信号が読み  
 出せる素子の割合の低下です。現在岸下さんを中心と  
 して、実際に実験に使用するための問題の解決方法を  
 探っています。5月下旬にはCOMET実験グループの  
**J-PARCでのビー  
 ム試験セットアップ内に炭化珪素セ  
 ンサーと信号読み出しシステムを設置させていただき  
 検出器として正常に動作するところを確認できまし  
 た。今後はCOMET実験に使用できるようにCOMET  
 実験グループと協力しながらビー  
 ム評価試験及び装置  
 開発を継続していきます。**



# 国際連携・社会貢献等

## 組織連携・社会貢献

2020年10月より英知を結集した原子力科学技術・人材育成推進事業(戦略的原子力共同研究プログラム)に採択され、**福島県の原子炉の廃炉事業の一環として、未臨界モニターシステムの開発**を開始しています。このプロジェクトの困難な点は、

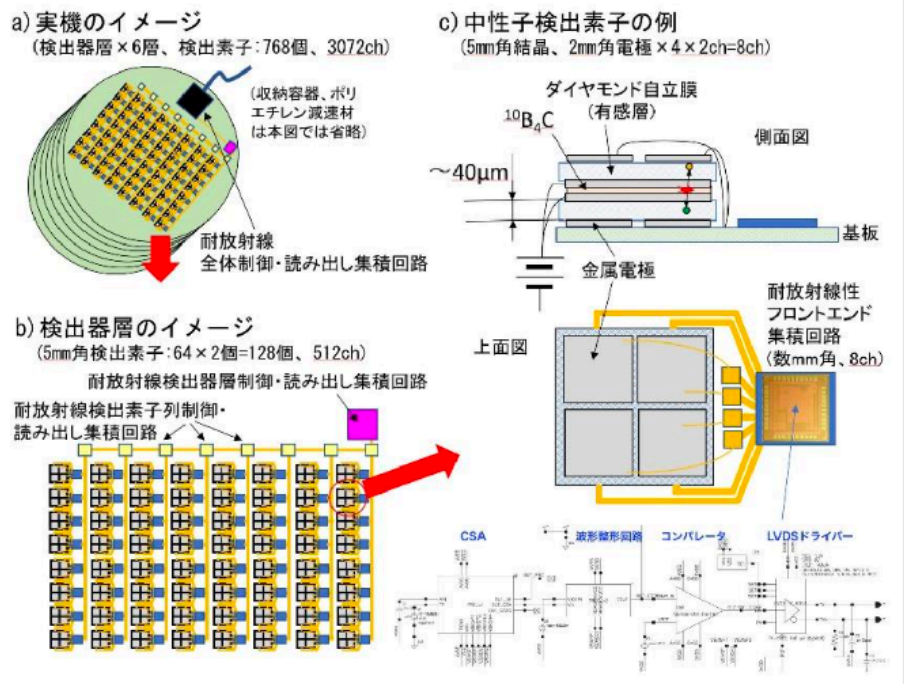
- 1、高放射線耐性が必要である
- 2、数Mcpsを超える $\gamma$ 線ノイズ環境下で微弱な中性子信号を検出すること
- 3、深い未臨界であることを判定すること

で、3は名古屋大学の研究者と、測定装置は北海道大学、産業技術総合研究所及び日本原子力研究開発機構の研究者と連携し推進しています。

我々の提案している装置は、全体が数千チャンネルからなるダイヤモンド検出器を使用した中性子検出素子と、高耐放射線性能を有する複数の信号処理回路をピクセル状に並べ、中性子に関する感度を向上させつつ、 $\gamma$ 線によるバックグランドノイズを減らすものです。

この未臨界モニターは、廃炉工程中のデブリ取り出し時、作業の安全性を確保するための重要なモニターで、今まで他の大学、研究機関等が開発してきましたが種々の理由により完成に至りませんでした。その大きな一つの理由は、高耐放射線性能を持つ装置開発のノウハウが日本に保有されていなかったことにあります。幸いなことに高エネルギー加速器を使用した実験では日常的にこのような問題に直面し困難を乗り越えてきました。その結果我々はこれまでのノウハウを結集し最先端CMOSプロセスを使用して1MGyを超える放射線場で動作する集積回路の開発が可能で

す。更に高密度実装技術、高速データリンク等々素粒子原子核実験で培った装置開発技術を応用しこの困難な開発を成功に導くよう努力中です。我々は高エネルギー加速器研究機構の保有する先端技術を用いて社会貢献をしていきます。



上図が未臨界モニターシステムの概略。実機は直径が10cm程度の穴から原子炉内に挿入されるため、形状及び重量の制限が非常に強い。

## 国際連携

EUに申請していたイタリアの **Università degli Studi di Napoli Federico II (ナポリ大学)** との学生交流事業 **ERASMUS+ program** が採択されコロナが落ち着いたときに交流事業を開始す

るように現在準備中です。残念ながらまだ開始できるような状況になっていませんが、このような取り組みを通じてできるだけ研究者間の国際連携を深めるように努力をしています。

# 高速データ通信と次世代 データ収集システム

本多 良太郎

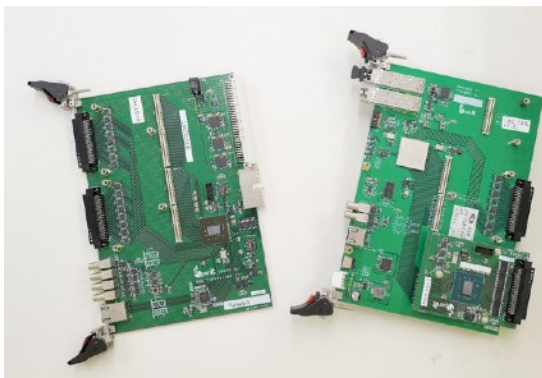


●本多 良太郎……E-sysの人

私はこれまでJPARCハドロンで原子核・ハドロン実験に参加し、K1.8ビームライン及び高運動量ビームラインにおけるDAQ開発に携わってきました。回路基板設計、FPGAファームウェア開発、DAQソフト開発と広く関わってきましたが、回路基板とFPGAファームウェア開発が特に力を注いできた分野です。体表的な回路はEASIROCを用いた汎用MPPC読み出し回路と、汎用FPGA回路 (Hadron universal logic (HUL) module) です。またFPGAファームウェアでは、FPGAのCARRY素子を利用した20psec精度のFPGA高時間分解能時間測定回路(TDC)が代表作です。このようなFPGAの特殊な利用のためには、性能を出すために基板設計の知識が重要になります。一方性能だけでなく、保守性の良さ、トラブルの少なさ、価格などスペックシートに現れない特性も重要です。

す。この両面を達成できるように回路設計を行う事が私の得意とするところです。

最近では、ハードウェアトリガーを排除したDAQシステム、trigger-less DAQのJPARCへの導入を目指してシステム開発を行っています。そのために、10Gbpsの高速リンクと2GbのDDR3-SDRAMを搭載したAMANEQと言う汎用データ収集モジュールを開発しました。この基板にはついに動き出した10Gbps版のSiTCPを搭載し、検出信号のデータストリーミングを実現します。HULと合わせてこれらの回路で動くFPGAファームウェアを更に整備して、J-PARCワイドに展開していきたいと考えています。



上図はHUL (左) とAMANEQ (右) の写真。AMANEQ上にはFPGA HR-TDCのメザニンカードが取り付けられている。



10GbpsのSiTCPをベースにしたトリガーレスデータ収集システムの評価を行っている。

庄子 正剛

# 高集積実装基板とプリントタブル実装



●庄子正剛 ……E-sysの人

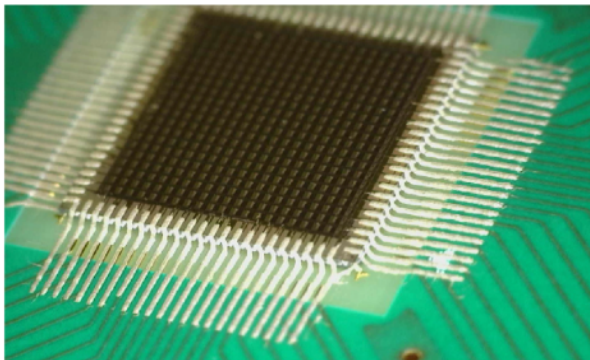
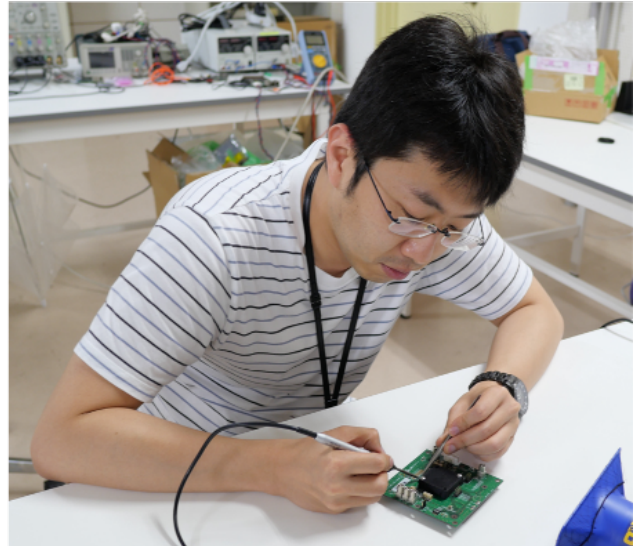
私は、E-sysの技術職員として様々な実験で用いる読み出し回路基板の設計開発や集積回路の高密度実装技術の開発を行なっています。

センサーに近い位置に設置する読み出し回路基板には、検出器からのアナログ信号の品質劣化の防止を目的に信号処理用集積回路を検出器の近傍に設置したいという要望があります。一方、放射線の飛跡を高精度に測定する検出器では、センサー数が膨大で読み出し回路基板に求められるチャンネル数(集積回路の数も)が非常に多くなります。そのため、プリント基板には高集積、高密度基板であることが求められます。

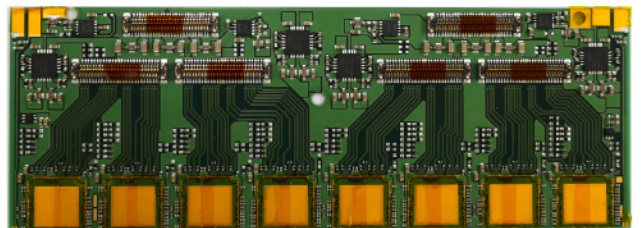
高集積実装基板の一例として、**ミュオン g-2/EDM精密測定実験**で用いる**集積回路高密度実装基板(ASIC board)の試作機**を紹介합니다。このASIC boardは、私自身が基

板レイアウトの設計を行いました。約10cm x 4cmの非常にコンパクトな基板で、基板製造にビルドアップ工法を使用していて、一般的なプリント基板と比較すると、高密度・高集積な基板になっています。集積回路(SiI128チップ)に付随する部品も高密度に配置しています。今後、この試作機を用いて集積回路の実装試験や基板の性能評価が進められる予定です。

そのほか、私が行なっている開発としては、**プリントブルエレクトロニクスを用いた集積回路高密度実装技術の開発**があります。プリントブルエレクトロニクスは導電性インクを使って回路を印刷して作る技術で、数 $\mu\text{m}$ の金属配線を印刷することが可能です。現在私は、この技術を集積回路の高密度実装への応用から、**集積回路と検出器を一体化するための技術として研究開発を進めています。**



プリントブルエレクトロニクスを用いた集積回路実装の試作基板。集積回路の段差(約 $400\mu\text{m}$ )を、幅 $100\mu\text{m}$ の金属配線が乗り越えて印刷されている。



J-PARC g-2/EDM精密測定実験用集積回路実装基板(ASIC Board)の試作機。今後、SiI128Dチップの実装と基板の性能評価が進められる。