

—EMC のための設計テクニック—

Part 1: 回路設計とコンポーネントの選択

Eur Ing Keith Armstrong*, C.Eng MIEE MIEEE

翻訳: 佐藤智典**

概要

これは、このジャーナルでこれから一年にわたって発表していく、電気／電子／機械ハードウェア設計におけるベスト・プラクティス EMC テクニックに関する 6 つの論文のシリーズの最初のものである。このシリーズは、電源、シングル・ボード・コンピュータ、そしてモータ・ドライバなどのような「工業用コンポーネント」から、コンピュータ、オーディオ／ビデオ／TV、計測器などのようなスタンド・アロンの、あるいはネットワーク化された製品の設計者を想定したものである。

これらの論文は最初に 1999 年に EMC Journal 上のシリーズとして発表された。この版は、その多くは次のような方々とのやりとりの結果によるものである、多数の訂正、変更、及び追加を含んでいる: Feng Chen, Kevin Ellis, Neil Helsby, Mike Langrish, Tom Liszka, Alan Keenan, 佐藤、そして John Woodgate に非常に感謝している。また、多くの改善点の示唆とともに、これらの論文を日本語に翻訳して彼のサイト、<http://member.nifty.ne.jp/tsato/> で公開してくれたことについて、佐藤氏に感謝している。

これらの 6 個の論文でカバーするテクニックは:

1. 回路設計 (デジタル、アナログ、スイッチ・モード、通信)、及びコンポーネントの選択
2. ケーブル、及びコネクタ
3. フィルタ、及びトランジェント・サプレッサ
4. シールド
5. PCB レイアウト (伝送線路を含む)
6. ESD、電気機械デバイス、及び力率補償

上のトピックのいずれについても 1 冊の教科書を書くことができる (そして多数書かれている) ので、このジャーナルの記事の形ではさまざまな論点を示し、ベスト・プラクティス・テクニックの最も重要な点を示す以上のことはできない。

上のトピックのリストに沿って始める前に、それらを実製品設計と開発プロジェクトの理想的な EMC ライフサイクルの観点から見ることは有用である。

* Cherry Clough Consultants, Associate of EMC-UK

** URL: <http://member.nifty.ne.jp/tsato/>

プロジェクトの EMC ライフサイクル

新しいプロジェクト・ライフサイクルにおける EMC に関する論点は、以下のように要約される:

- 以下のものを含む、その新製品の目標とする電磁的仕様の決定:

- それが耐えなければならない電磁環境 (連続的な、高頻度の、そして低頻度の妨害事象を含む)、及び妨害事象に際して許容される性能の低下;
- 敏感な機器への接近の可能性と許容される影響、すなわちエミッションの仕様;
- 追加の電磁的性能仕様を必要とするような、安全についての何らかの論点が存在するかどうか。安全適合性は、EMC 指令ではなく安全指令によってカバーされる;
- それぞれのケース (全ての市場、いずれかの顧客の社内規格などを考慮して) における、適合すべき EMC 規格、作成すべき規制適合文書、どの程度の「十分な注意 (due diligence)」を適用すべきかの全て。

- システム設計:

- システム・レベルのベスト・プラクティスを用いる (「ボトム・アップ」);
- 「トップ・レベル」の EMC 仕様を様々なシステム・ブロックに流す (「トップ・ダウン」)。

- システム・ブロックの (電氣的な) 設計:

- 電氣的／電子的なハードウェア設計のベスト・プラクティスを用いる (「ボトム・アップ」)— これらの 6 個の論文でカバーされる;
- ハードウェアを作る前に設計の EMC をシミュレートし、初期の試作品で簡単な EMC 試験を行ない、最初の製品ができたならばより標準化された EMC 試験を行なう。

- ソフトウェア設計にベスト・プラクティス EMC テクニックを用いる。
- ターゲットとなる市場全てのための規制適合性を達成する。
- 管理のために、QA (品質保証) に EMC テクニックを用いる：
 - － 配線の引き回しやコンポーネントの置き換えを含む、アセンブリの変更の全て；
 - － 電氣的 / 電子的 / 機構的な設計の変更、及びソフトウェアのバグ・フィックスの全て；
 - － 変種の全て。
- 最初にそのために設計された市場にのみ販売する：
 - － 新しい市場を追加するためには、再び最初の電磁的仕様の段階から実施する。
- 干渉問題に関する苦情の全てを調査する：
 - － 得られた設計の改善を、既存の設計や新製品にフィードバックする (是正活動のループ)。

これは単なる脅しのように見えるかも知れないが、企業に過度の商業的な、そして / もしくは法的なリスクを与えないために為すべきこととして、成功したプロの販売者や技術者が既に知っていることに過ぎない。

電子技術がより高度になるにつれて、より高度な管理と設計のテクニック (EMC などの) が必要となる。企業が利潤を上げ、競争力を保ちたいと望むのであれば、新しい電子技術のラッチ効果から逃れることはできない。しかし、新しい電子技術は世界で最大の市場を作り出しており、2 年以内に年間 1 兆 US ドルを超え、それ以降も年に 15% 成長するものと期待されている。このペースに乗ることができたものには、報いがある。

以下では、最も重要なベスト EMC プラクティスの数々の概要を示す。それらは、それがなぜ必要であり、またなぜ機能するかよりも、「何を」と「いかに」の論点を取り扱う。EMC の基本の良い理解はエンジニアリングの不足や過剰を避けるために大きな効果を持つが、これらの論文の範囲を超える。

第 1 部の目次

- 1. EMC のための回路設計とコンポーネントの選択
 - － 1.1 デジタル・コンポーネントと回路設計

- * 1.1.1 コンポーネントの選択
- * 1.1.2 製造ロットやマスク縮小による問題
- * 1.1.3 IC ソケットは悪い
- * 1.1.4 回路テクニック
- * 1.1.5 スペクトラム拡散クロック
- － 1.2 アナログ・コンポーネントと回路設計
 - * 1.2.1 アナログ・コンポーネントの選択
 - * 1.2.2 復調問題の防止
 - * 1.2.3 その他のアナログ回路テクニック
- － 1.3 スイッチ・モードの設計
 - * 1.3.1 トポロジーとデバイスの選択
 - * 1.3.2 スナバ
 - * 1.3.3 放熱器
 - * 1.3.4 整流器
 - * 1.3.5 磁気コンポーネントに関連した問題と解決
 - * 1.3.6 スペクトラム拡散クロック
- － 1.4 信号通信コンポーネント、及び回路設計
 - * 1.4.1 銅線を使わない通信が最良
 - * 1.4.2 銅線による通信のためのテクニック
 - * 1.4.3 光絶縁
 - * 1.4.4 外部入出力の保護
 - * 1.4.5 「アース不要」、及び「フローティング」の通信
 - * 1.4.6 危険な領域と本質安全通信
 - * 1.4.7 通信プロトコル
- － 1.5 受動部品の選択
- － 1.6 参考文献

1. EMC のための回路設計とコンポーネントの選択

新設計や開発プロジェクトのごく初期から用いられる、能動コンポーネントや受動コンポーネントの正しい選択と良い回路設計テクニックとは、最も費用効果の高い方法で EMC 適合性を達成することを助け、最終的に必要となるフィルタやシールドの費用、大きさ、そして重量を低減する。

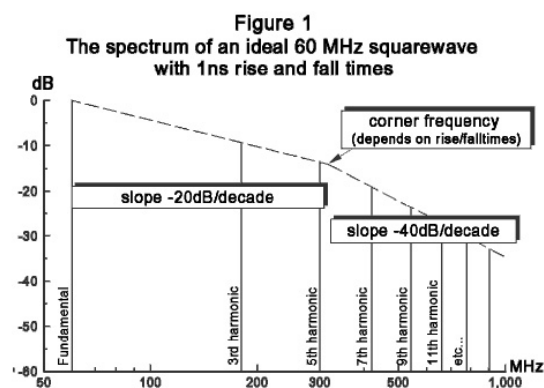
これらのテクニックはデジタル信号のインテグリティやアナログの信号雑音比も向上させ、ハードウェアとソフトウェアの少なくとも一回の反復を節約させられる。これは、新製品がより速やかにその機能仕様を達成し、市場に出ることを助ける。これらの EMC テクニックは、商業的利益を最大とするための企業の競争力の一部として見るべきである。

1.1 デジタル・コンポーネントと回路設計

1.1.1 コンポーネントの選択

大半のデジタル IC 製造業者は、少なくとも1つの低エミッションの標準ロジック・ファミリーと、少数の ESD 耐性を向上させたバージョンの入出力チップを持っている。一部は、「EMC フレンドリー」バージョンの VLSI を提供している（ある「EMC」マイクロプロセッサは通常のバージョンよりも 40dB 低いエミッションを持っている）。

大半のデジタル回路は方形波のクロックで動作するが、これは Figure 1 に示すように極めて高い高調波成分を持つ。クロック速度がより高くなり、そのエッジがより鋭くなると、高調波の周波数とエミッション・レベルはより高くなる。従って、製品がその仕様を満たす範囲で、常に最も低いクロック速度、そして最も遅いエッジ速度を選択すること。74HC シリーズが使える時に決して 74AC シリーズを使わないこと。4000 シリーズの CMOS が使える時に決して 74HC を使わないこと。



信号インテグリティや EMC の向上のための特徴を持つ集積回路を選択すること。例えば：

- 隣接した、複数の、あるいは中央に置かれた電源とグランド
これらはいずれも電源とグランドの電流経路の相互インダクタンスを最大、それらの自己インダクタンスを最小とし、また電源電流の電流ループ面積を小さくし、デカップリングがより効果的に機能することを助ける。これは、EMC やグランド・バウンスの問題を低減する。
- 低い出力電圧振幅と管理されたスルーレート
これらはいずれも信号の dV/dt と dI/dt を低減し、エミッションを数 dB 改善させ得る。これらのテクニックはエミッションを改善するものの、状況によってはイミュニティを悪化させることがあり、妥協が必要となるかも知れない。

- 伝送線路に整合する入出力
伝送線路に整合させられる出力を持つ IC は、高速信号を長い導体を通して送らなければならない場合に必要となる。例えば、25Ω 並列終端負荷を駆動できるバス・ドライバが入手可能であり、これは 1 本の 25Ω 伝送線路（例えば RAMBUS）を駆動することも、スター接続された 2 本の 50Ω 線路、4 本の 100Ω 線路、あるいは 6 本の 150Ω 線路を駆動することもできる。
- 平衡信号
平衡信号はプラスとマイナスの（差動の）信号を用い、信号還流のために 0V を使用しない。これは信号インテグリティの維持を助け、またコモン・モードのエミッションとイミュニティを大幅に改善することから、そのような IC は高速信号（例えば 66MHz 以上のクロック）を駆動する際に非常に有用である。
- 低いグランド・バウンス
低いグランド・バウンスも、一般に EMC のために良いものとなる。
- 低いエミッション・レベル
大半のデジタル IC 製造業者は低エミッションの標準ロジック・ファミリーを提供している。例えば、ACQ や ACTQ は、AC や ACT よりも低いエミッションを持つ。一部の製造業者は「EMC フレンドリー」バージョンの VLSI を提供しており、例えば Philips は他の 80C51 製品よりも最大 40dB 低いエミッションを持つ少なくとも 2 つのモデルの 80C51 マイクロプロセッサを持っている。
- 非飽和論理回路が望ましい
立ち上がり / 立ち下がりカーブが滑らかになる（スルーレートが管理される）傾向があり、従って TTL などのような飽和論理回路と比較して低いレベルの高次高調波を含むことから、非飽和論理回路が望ましい。
- ESD や他の妨害に対する高レベルの耐性
そのピンへの ESD やその他のトランジェントに対する高水準のイミュニティを持つシリアル通信デバイス（例えば RS-232 や RS-485）が入手可能である。もしそのイミュニティ性能が少なくともあなたの製品で必要となるものと同一の規格と水準で規定されていないならば、追加の抑制用コンポーネントが必要となるであろう。
- 低い入力容量
低入力容量デバイスは、論理状態の変化に際しての電流のピークの抑制を助け、従って磁界エミッションとグランド還流電流（いずれもデジタル・エミッションを引き起こす）を抑制する。

- 低レベルの過渡電源電流
デジタル IC のトータム・ポール出力段は、それらがある状態から他方の状態に切り替わる際に、短時間、双方のデバイスがオンとなった状態となる。この短時間のあいだ、電源レールは 0V に短絡され、その過渡的な電源電流は信号の出力電流を超え得る。この過渡電流（「貫通電流」と呼ばれることがある）とそれが電源レールに引き起こす電圧ノイズの双方は、エミッションの主因である。関係するパラメータには、過渡電流のピーク値、 dI/dt （あるいは周波数スペクトラム）、そしてその総電荷が含まれ、これらのいずれか、あるいは全てが電源のデカップリングの正しい設計に関係し得る。可能であれば、低い過渡電源電流が規定された IC を選択すべきである。
- その用途に必要なものよりも大きくない出力駆動能力
IC（特にバス・ドライバ）の出力駆動電流は必要であるよりも大きいべきではない。より高い電流定格を持つドライバはより大きな出力トランジスタを持ち、これは著しく大きな過渡電源電流を意味し得る。また、それらの大きな駆動能力は、それが駆動する配線に必要以上に早い立ち上がり／立ち下がり時間を生じさせ、より高いレベルの RF エミッションを生じるとともに、信号インテグリティに対するオーバーシュートやリングングの問題を増加させ得る。

これらは、保証される最小値、あるいは最大値（適切な方）の仕様が（あるいは少なくとも代表値が）そのデータ・シートで与えられているべきである。セカンド・ソース部品（異なった製造業者の、同一の型式番号と仕様の部品）は、著しく異なった EMC 性能—連続した製造に際して継続的な適合性を保証するために製造における管理が重要となる何か—を持つかも知れない。もし製品に代替の IC を取り付けて EMC 試験していないのであれば、単一の供給元に限定することが最良であろう。

高度な IC の供給者は、Intel が Pentium MMO チップについて行なっているように、詳細な EMC 設計指示を提供していることがある。それを入手し、しっかりと従うこと。詳細な EMC 設計のアドバイスはその製造業者が顧客の実際のニーズに配慮していることを示しており、デバイスの選択に際してのバランスをひっくり返すかも知れない。

現在、ある種の FPGA（そして、あるいは他の IC も）では、その駆動信号のスルーレート、出力駆動能力、及び／もしくは出力インピーダンスをプログラムできるようになっている。それらの駆動特性は、より良い信号インテグリティ、及び／もしくは

EMC 性能を与えるように調整することができ、これは IC の交換、PCB 上のコンポーネントの定数の変更、あるいは PCB レイアウトの変更の必要性を低減することによって、開発時間の短縮を助けるであろう。

IC の EMC 性能が不明である場合には、初期設計段階での正しい選択は、さまざまな競合品を、少なくともクロックを用いた、できれば高データ・レートでの動作も行なう単純な標準的な機能回路で試験することによって行なえる。エミッションの試験は、スペクトラム・アナライザ（あるいは高帯域オシロスコープ）に接続された近接磁界プローブを備えた標準的なテスト・ベンチで、数分間で容易に行なうことができる。一部のデバイスは、他のものよりも明らかに静かであろう。イミュニティの試験には、信号発生器（連続 RF、もしくはトランジェント）に接続された同一のプローブを用いることができる—ただし、もしそれが専用のプローブである（そして単なる短絡された巻線ではない）ならば、まずその電力の取り扱いが適切であるかどうかをチェックすること。

近接磁界プローブは、プローブされるデバイスや PCB にほとんど触れるような位置に保持する必要がある。「最も熱い点」を見つけ、信号が最大となる方向にプローブを向けるためには、まず全域にわたって水平、及び垂直の格子状に走査し（それぞれの方向で、プローブを 90°異なった向きに保持する）、その後最も強い信号が検出された領域に集中する。

1.1.2 製造ロットやマスク縮小による問題

同一の型番と製造業者の IC も、製造ロットによって異なった EMC 性能を持つことがある。

半導体製造業者は常にシリコン・ウェハから得られる収益を向上させようとしており、このための 1 つの方法はそれが小さくなるようにマスクを縮小することである。以下のような理由から、マスク縮小された IC は著しく異なった EMC 性能を持つことがある：

- 内部トランジスタの制御に必要なエネルギー（電圧、電流、電力、あるいは電荷）が小さくなり、これはイミュニティ・レベルの低下を意味し得る
- ESD、サージ、あるいは過電圧による損傷への耐性が低い薄い酸化膜
- 内部トランジスタのより小さい熱容量は電気的過大ストレス（EOS）に対する高い感受性を意味し得る

- より高いレベルのエミッション、そしてより高い周波数のエミッションを意味する、トランジスタの高速動作

多くのユーザーは、大抵は、マスク縮小された新しい IC で変化した EMC に対処する方法を見付けるまでのあいだ生産を維持できるように十分な数の「古い」IC を購入できるように、マスク縮小に先立っての警告を受けるように調整できる。

新しい製造ロットの IC が異なった EMC 性能を持つかどうかを知るための、EMC 性能についての簡単な受け入れ検査を実施することが可能である。これは問題を初期段階で見付けることを助け、費用を節約する。さもなくば、不適合な、あるいは信頼できない製品の出荷の防止のためには、連続した生産におけるサンプルに基づく EMC 試験が必要となるが、EMC 性能が変化したコンポーネントをこの方法で見付けることは受け入れ時におけるものよりも遥かに費用を要する。

1.1.3 IC ソケットは悪い

EMC のためには IC ソケットは非常に悪く、直接半田付け（あるいはチップとワイヤ、または類似の直接的チップ終端テクニック）された表面実装チップが望ましい。より小さい接合ワイヤとリード・フレームを持つ、より小さい IC が望ましく、現在では BGA や類似のスタイルのチップ・パッケージが最良である。しばしば、ソケットに実装された非揮発性メモリ（あるいは、さらに悪い、バッテリー・バックアップを内蔵したソケット）のエミッションや感受性が、それ以外の点では良い設計を台無しにする。PCB に半田付けされたフィールド・プログラマブルな低背型 SMD 非揮発性メモリ IC が望ましい。

プロセッサのための ZIF ソケットとスプリング固定式放熱器（容易なアップグレードを可能とするための）を持つマザーボードは、コンタクトに最小の内部配線長を持つ表面実装型の ZIF ソケットを選択することが助けとなるであろうものの、フィルタリングやシールドングのために追加のコストを必要とするであろう。

1.1.4 回路テクニック

- 制御入力やキー押下のためには、（エッジ検出よりも）レベル検出が望ましい。
全ての制御入力やキー押下でレベル検出 IC を用いる。エッジ検出 IC は ESD のような高周波干渉に対して非常に敏感である。（もし制御信号がエッジ検出デバイスを必要とするほど高速である必要があるならば、他の高速通信リンクと同様に EMC 対策を行なうべきである。）

- 特に長い PCB トレースや相互接続配線においては、デジタル・エッジ速度はできる限り遅く滑らかなもの（スキュー・リミットは損なわずに）とすべきである。
もしスキューが問題とならないならば、非常に遅いエッジを用いる（必要な箇所ではシュミット・ゲートによって整形できる）べきである。
- 試作の PCB ではロジック信号のエッジ速度や帯域を制御できるようにせよ（例えば駆動端のソフト・フェライト・ビーズや直列抵抗によって）。
IC のデータ・ブックの多くはその出力の立ち上がり / 立ち下がり時間を全く規定していない（あるいは最大時間のみを規定し、代表値を規定しないままとしている）。不要な高調波を制御することがしばしば必要となるので、（少なくとも試作の PCB においては）ロジック信号のエッジ速度や帯域を制御できるようにしておくことが推奨される。R-C-R の T 型フィルタを使用することもでき、伝送線路が使用されている場合には高調波をより良く制御できる場合もあるものの、直列抵抗やフェライト・ビーズは通常はエッジ速度と不要な高調波を制御するための最良の方法である。（単なるグランドへのコンデンサは過渡出力電流を増加させ、エミッションを増加させる可能性がある。）
- 負荷容量を小さく保て。
これは出力の論理状態が変化する際の過渡出力電流を低減し、いずれも EMC の重要な問題である、磁界エミッション、グランド・バウンス、そしてグランド・プレーンや電源の過渡的な電圧変動の低減を助ける。
- オープン・コレクタ・ドライバのプル・アップを出力デバイスの近くに取り付け、動作する最大の抵抗値を用いよ。
これらは電流ループ面積と最大電流の低減を助け、従って磁界エミッションの低減を助ける。しかし、これは状況によってはイミュニティ性能を悪化させることがあるので、妥協が必要となるかも知れない。
- 高速のデバイスをコネクタやワイヤから離せ。
IC 内部の金属膜、接合ワイヤ、あるいはリード・フレームとその近傍の導体とのあいだでの結合（例えばクロストーク）が発生し得る。その結合した電圧や電流は高周波における CM エミッションを大幅に増加させ得る。従って、高速デバイスを全てのコネクタ、ワイヤ、ケーブル、そしてその他の導体から離すべきである。唯一の例外はその IC 専用の高速信号用コネクタ（例えばマザーボード・コネクタ）である。

製品が最終的に組み立てられる際に、内部のフレキシブルなワイヤやケーブルは様々な位置に置かれ得る。ワイヤやケーブルが高速デバイスの近くに置かれることがないことを確認すること。(なお、内部のワイヤやケーブルを持たない製品では大抵は EMC 適合は容易になる。)

放熱器は導体の一例であり、明らかにそれが冷却しようとしている IC から遠く離すことはできない。しかし、放熱器は他の導体と全く同様に IC 内部の信号からの結合に影響され得る。普通のテクニックは、放熱器を IC から熱伝導性材料で絶縁(放熱の目標が満たされる限り厚い方がよい)し、その放熱器を局所接地プレーンに多数の短い接続(大抵は機構的な固定が使用できる)で「接地」することである。

- 良質なワッチドッグが必要である。
干渉は、しばしば数 10 ~ 数 100 ms 続くバーストとして発生する。プロセッサを再起動させなければならないワッチドッグは、ワッチドッグをトリガしたバーストの後部によってプロセッサが恒久的にクラッシュやハングさせられたままとする可能性があるべきではない。ワッチドッグは、プロセッサが無事に再起動したのを検出するまでタイム・アウトを繰り返してそのプロセッサをリセットし続ける、非安定の(単安定でない)ものであるべきである。(ワッチドッグのタイムアウト時間はプロセッサの再起動時間よりも長くなければならないことを忘れないこと。)
プロセッサのプログラム可能ポートからのワッチドッグ入力 AC 結合は、高信頼のワッチドッグ動作を保証するであろう。ワッチドッグについては、[1] の 7.2.3 章を参照されたい。
- 正確な電源監視(「電圧低下(brownout)」モニタとも呼ばれる)が必要である。
電源ディップ、瞬時停電、サグ、そして電圧低下は、論理回路の直流電源レールをその正しい動作に必要な電圧以下に低下させ、誤った動作、あるいは損なわれた命令やデータによるメモリ領域の上書きを引き起こし得る。従って、メモリを保護し、また誤った制御動作を防止するために、正確な電源監視が必要である。抵抗とコンデンサによる単純な「電源投入時リセット」回路は適切ではない。
- ワッチドッグや電圧低下監視にプログラマブルな部品を使用しないこと。
プログラマブルなデバイスのプログラムは干渉によって損なわれることがあるので、プログラマブルなデバイスをワッチドッグや電源監視機能のために用いてはならない。

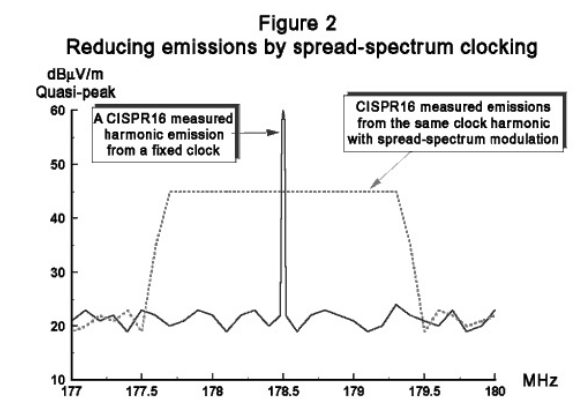
- その製品の重要性によっては、極めて偶発的なことにも対処できるように、電源監視やワッチドッグのための適切な回路やソフトウェア・テクニックも必要となる(この論文のシリーズでは議論しない)。
- 電源の高品質の RF バイパス(デカップリング)は、IC の全ての電源や基準電圧のピンに不可欠である(このシリーズの 5 番目の論文を参照)。
- 高品質の RF 基準電位、及び還流電流プレーン(通常は「グラウンド・プレーン」と呼ばれる)は、全てのデジタル回路で必要である(このシリーズの 5 番目の論文を参照)。
- ロジック信号の立ち上り/立ち下がり時間が PCB 配線上の信号の「ラウンド・トリップ時間」よりも短い場合には、伝送線路テクニックを用いよ(伝送線路についてはこのシリーズの 5 番目の論文で詳細に示す)。
親指の法則: ラウンド・トリップ時間は、配線長 1mm あたり 13ps に等しい。
最良の EMC のためには、この親指の法則が示すものよりも短い配線にも伝送線路テクニックを用いよ。
- 非同期処理が望ましい。
非同期テクニックは同期論理回路よりも遥かに低いエミッションを持ち、またその消費電力も遥かに低いものとなる。ARM は長年非同期プロセッサを開発しており、他の製造業者も非同期製品の生産を開始している。
非同期 IC の設計の制約の 1 つは適当な設計ツール(例えばタイミング・アナライザ)の欠落であった。しかし、少なくとも 1 つの商用の IC 設計ツールが入手可能となっている。

一部のデジタル IC はその本体からも高レベルのフィールドを放射し、しばしば PCB のグラウンド・プレーンに半田付けしたそれ専用の小さい金属の箱でシールドすると効果的である。PCB レベルでのシールドは非常に低コストであるが、熱くなり、空気の対流を必要とするデバイスに対しては常に適用できるわけではない。

通常、クロック回路はエミッションに関する最悪の加害者であり、その PCB 配線は PCB 上で最もクリティカルなネットであるので、クロック配線長を最小にし、またそれぞれのクロック配線をビア・ホール無しに単一のレイヤに保つために、コンポーネントの配置を調整する必要がある。クロックをいくつもの負荷への長い距離を送らなければならない場合には、その長い配線(あるいはワイヤ)に流れる電流が少なくなるように、負荷の近くにクロック・バッファを取り付ける。相対的なスキューが問題とならない場合には、長い配線上でのクロックのエッジは良く丸められる—正弦波にさえも—べきであり、負荷の近くのバッファで方形波に変換すべきである。

1.1.5 スペクトラム拡散クロック

「スペクトラム拡散クロック」と呼ばれるものは、実際には瞬間的な放射電力を減らしはせず、従ってある種の高速に应答するデバイスに対しては依然として同一のレベルの妨害を生ずることがあるにも関わらず、測定されるエミッションを低減する、最近のテクニックである。これは、高調波を分散させるためにクロック周波数を 1~2% 変調し、CISPR16 や FCC のエミッション試験においてより低い尖頭値を与える。この測定されるエミッションの低減は試験用受信器の帯域と積分時定数に依存しており、従ってある種のトリックではあるものの、FCC に受け入れられ、US や EU で広く使われている。クロックの形状の仕様を落さないために、この変調は音声帯域で行なわれる。Figure 2 は 1 つのクロックの高調波に対するエミッションの改善を示す。



問題がないと主張する供給者と依然として警告を力説している何人かの学者との、複雑なデジタル IC に対するスペクトラム拡散クロックの影響の可能性に関する議論は続いているものの、少なくとも 1 つのメジャーな高品質 PC マザーボードの製造業者がこのテクニックを新製品での標準として用いている。

スペクトラム拡散クロックは、Ethernet、Fibre channel、FDDI、ATM、SONET、ADSL などのような、タイミングに敏感な通信リンクで用いるべきではない。

デジタル回路からのエミッションの問題の大半は、同期クロックによるものである。非同期論理回路テクニック (UMIST の Steve Furber 教授のグループによって開発されている AMULET マイクロプロセッサのような) はエミッションの総量を激減させ、またエミッションをクロックの高調波の狭い範囲に集中させる代わりに真の拡散スペクトラムを達成するであろう。

1.2 アナログ・コンポーネントと回路設計

1.2.1 アナログ・コンポーネントの選択

EMC のためのアナログ・コンポーネントの選択は、その出力波形のより大きな多様性から、デジタルのように直截的なものとはならない。しかし、高周波アナログ回路における低いエミッションのための一般的な規則として：スルーレート、電圧振幅、そして出力駆動能力は、その機能の達成のための必要最小限のもの (デバイスや回路の許容差、温度などのもので) を選択すべきである。しかし、低周波用途の大半のアナログ IC における最大の問題は線形動作周波数範囲外の無線周波信号の復調に対する感受性であり、この指針にできるデータ・シート上の仕様は、たとえあるとしても僅かである。IC のイミュニティ試験のための規定と規格が作成されており、将来はそのデータ・シートに EMC 仕様を含んだ IC の購入が可能となるかも知れない。

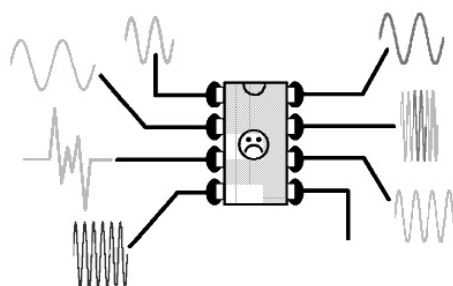
異なった製造ロットやセカンド・ソースの、あるいはマスク縮小されたアナログ IC は、エミッションとイミュニティの双方について、顕著に異なった EMC 性能を持つかも知れない。連続した製造に際して継続的な適合性を保証するためには、この問題を設計、試験、あるいは購入によって管理することが重要であり、いくつかの適当なテクニックは既に示した (デジタル IC の選択の章)。

敏感な、あるいは高速なアナログ部品 (そしてデータ・コンバータ) の製造業者は、しばしば EMC、あるいは信号対雑音のための、回路設計、及び/もしくは PCB レイアウトに関するアプリケーション・ノートを発行している。これはその製造業者が顧客の実際のニーズにある程度配慮していることを示しており、購入の決定に際してのバランスをひっくり返すかも知れない。

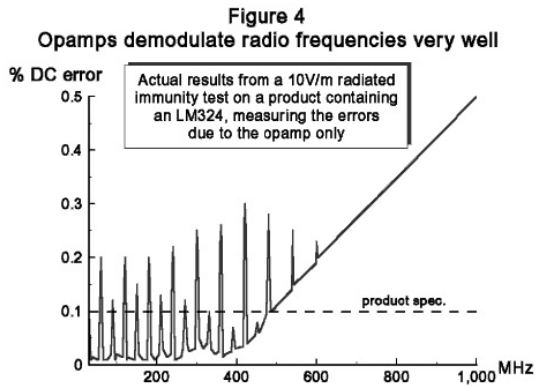
1.2.2 復調問題の防止

アナログ・デバイスにおけるイミュニティ問題の大半は、RF 復調によって引き起こされる。オペアンプは、用いられている帰還方式とは無関係に、どのピンに対する RF 妨害にも極めて敏感である (Figure 3 を見よ)。

Figure 3
Demodulation happens in all semiconductors,
and all pins are susceptible



全ての半導体が RF を復調する。復調はアナログ回路ではごく普通の問題であるが、デジタル回路ではより破局的な影響を発生し得る (ソフトウェアが混乱した場合)。低速のオペアンプでさえも、Figure 4 の実機での試験結果に示されるように、携帯電話の周波数まで、あるいはそれ以上の干渉をうまく復調する。



復調の防止のためには、アナログ回路は干渉に際しても直線性と安定性を保つ必要がある。これは、帰還回路において特に問題となる。全ての入力、出力負荷、そしてフィルタを取り除き、非常に速いエッジ (1ns 未満の立ち上がり時間) の方形波を入力に (そして、おそらくは小さいコンデンサを介して出力や電源にも) 注入することにより、安定性と直線性を試験する。クリッピングを避けるために、この試験信号の振幅は出力のピーク ピークが最大値の 30% 程度となるように設定する。この試験信号の基本周波数は、その回路の意図された通過帯域の中央付近とすべきである。回路の出力は、オーディオや計装の回路においてさえも (少なくとも) 100MHz のオシロスコープとプローブで、オーバーシュートやリングングをチェックすべきである。高速のアナログ回路ではそれに相応しい高速オシロスコープを用い、プロービング・テクニックにかなりの注意を払う必要がある。

帰還回路は、スルーレートが最大となり、オーバーシュート (高さが信号の通常の高さの 50% を超えるものは不安定性を示している) が最小となるように調整すべきである。いかなる長時間のリングング (例えば 2 サイクルよりも長いもの) や振動のバーストも、不安定性を示している。

異なった製造ロットの IC では安定性の性能は大きく異なることがあり、被試験部品を広範囲の温度 (例えば、-30 ~ 180 °C) で冷却や加熱して、その回路が達成できる限り高速で安定であることを全温度範囲で確認することで最も簡便にシミュレートできる。

これは、オシロスコープの代わりにスペクトラム・アナライザを使い、方形波の代わりに周波数走査を用いて行なうこともできる。スペクトラム・アナライザの入力を過負荷としないように注意すること。

1.2.3 その他のアナログ回路テクニック

帰還回路の良好な安定性の達成のためには、通常は容量性負荷を帰還ループの外側の小さい抵抗やチョークでバッファする必要がある。

積分帰還回路は、通常は、10pF 程度よりも大きい積分コンデンサと直列に小さい抵抗 (大抵は 560Ω 程度) を必要とする。

EMC のために、能動回路によって RF 帯域をフィルタし、あるいは制御しようとしてはならない—帰還ループの外側の受動 (できれば RC) フィルタのみを用いよ。積分帰還方式は、そのオペアンプがその回路が必要とする閉ループ・ゲインよりも十分に高い開ループ・ゲインを持つ周波数においてのみ効果を持つ。これは、それよりも高い周波数での周波数応答を制御することはできない。

安定な、直線的な回路を達成した後に、その全ての接続を受動フィルタや他の抑制手段 (例えば光絶縁部品) によって保護する必要があるかも知れない。同一製品内のデジタル回路は全ての内部接続に雑音を加えるであろうし、外部接続は外部の電磁環境全てからの被害を受けるであろう。

フィルタリングはこのシリーズの 3 番目の論文でカバーしており、IC に関するフィルタはその局所 0V プレーンに接続すべきである。DC から数 GHz に達する保護を与えるために、フィルタは電氣的絶縁 (例えばトランス) と組み合わせて設計できる。平衡 (差動) 入出力の使用は、低周波での良好な除去を維持しながらフィルタの寸法を小さくすることを助けられる。

外部ケーブルが接続される箇所では入力や出力のフィルタは常に必要であるが、専用の 0V プレーン上の PCB トラックによって他のオペアンプと接続される箇所では不要であるかも知れない。シールドなしエンクロージャ内のワイヤによる相互接続や、デジタル処理回路やスイッチ・モード・コンバータも含むシールドされたエンクロージャ内のワイヤによる相互接続も、そのアンテナ効果のためにフィルタを必要とするかも知れない。

アナログ IC は、デジタル IC と同様、その全ての電源と電圧基準ピンに高品質の RF バイパス (デカップリング) を必要とする。RF バイパスについてはこのシリーズの第 5 部で述べる。しかし、通常はアナログ部品の電源雑音抑圧比 (PSRR) は 1kHz 以上の周波数においては徐々に悪化するために、アナログ IC はしばしば低周波の電源バイパスを必要とする。それぞれのオペアンプ、コンパレータ、あるいはデータ・コンバータにおいて、それぞれのアナログ電源レールの RC、あるいは LC フィルタリングが必要となるかも知れない。考慮すべき全周波

数帯域にわたって所定の PSRR を達成するためには、そのような電源フィルタのコーナー周波数と傾斜はデバイスの PSRR のコーナー周波数と傾斜を補償すべきである。

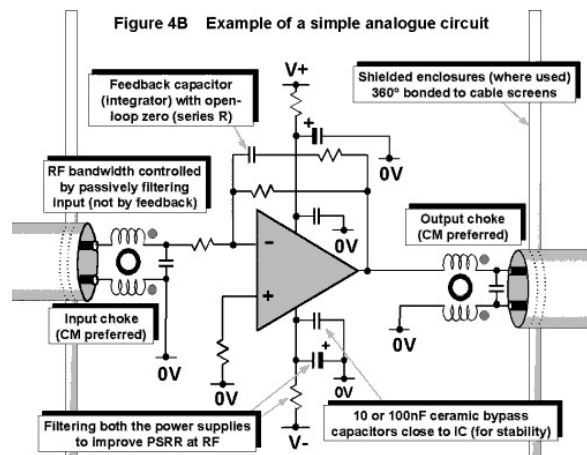
接続の長さや伝送すべき最大の周波数によっては、伝送線路テクニックは高速アナログ信号（例えば RF 信号）のために不可欠であるかも知れない（このシリーズの 5 番目の論文を見よ）。正しく整合した任意の長さの伝送線路は非常に非効率なアンテナとして振る舞い、共振を生じないので、低周波信号においてさえも、相互接続に伝送線路テクニックを用いることによってイミュニティが向上するであろう。

RF 設計に言及している EMC 設計ガイドはそれほど多くはない。これは、RF 設計者は、一般に大半の連続 EMC 事象には熟達しているためである。しかし、しばしば局部発振や IF 周波数の過度の漏洩が生じているので、シールドリングやフィルタリングにもっと注意を払う必要があるかも知れない。

電界に対して非常に敏感となるので、非常に高い入力 / 出力インピーダンスを用いることを避けよ。空気中の波動インピーダンスは 377Ω であるので、エミッション源の近傍よりも外側では電界が支配的となる。製品からのエミッションの大部分はコモン・モードの電圧や電流によって引き起こされ、また環境電磁ノイズの大部分（イミュニティ試験でシミュレートされる）はコモン・モードであるので、アナログ回路における平衡送信 / 受信テクニックの使用は、クロストークの低減とともに、EMC に関して多くの利点がある。平衡回路では、信号は 2 つの導体を通して送られ、電流還流経路として 0V 系を使用しない——これは差動信号と呼ばれることもある。

雑音や干渉による誤った出力遷移を防止し、またトリップ点（しきい値）付近での振動を防止するために、コンパレータはヒステリシス（正帰還）を持たねばならない。実際に必要なものよりも高速な出力スルーのコンパレータを使わないこと： dV/dt を低く保て。

ある種のアナログ IC は、それ自身が高レベルのフィールドに特に影響されやすい。PCB のグランド・プレーンに半田付けされたそれ専用の小さい金属の箱によってシールドすると効果があるかも知れない（十分に放熱を行なえるかどうかにも注意すること）。



上の Figure 4B は、上で示したテクニックのいくつかを適用した単純なオペアンプ回路（反転増幅器）を示している。この回路はシングル・エンド信号（すなわち、0V を信号還流に用いる）を用いており、平衡とはなっていないものの、一般にコモン・モード・チョークを入力と出力のフィルタとして用いることでその EMC 性能は改善される。

外部ケーブルが接続される箇所では入力や出力のフィルタは常に必要であるが、専用の 0V プレーン上の PCB トラックによって他のオペアンプと接続される箇所では不要であるかも知れない。シールドなしエンクロージャ内のワイヤによる相互接続や、デジタル処理回路やスイッチ・モード・コンバータも含むシールドされたエンクロージャ内のワイヤによる相互接続も、フィルタを必要とするかも知れない。

1.3 スイッチ・モードの設計

この技術は本質的に電磁的にノイズであり、以下に概要を示すように、しっかりと制御しなければ多くの干渉を生ずるであろう。これらのテクニックは、スイッチ・モード電源を敏感なアナログ回路に給電できるほど低ノイズとすることも助けるであろう。

1.3.1 トポロジーとデバイスの選択

常に dV/dt と dI/dt の双方を小さく保ち、常に電源を急激にではなくソフトにスイッチせよ。 dV/dt 、及び / もしくは dI/dt を低下させることによってエミッションを最小に抑え、スイッチング・トランジスタへのストレスも低減させる、いくつかの回路トポロジーがある。これには、ZVS（零電圧スイッチング）、ZCS（零電流スイッチング）、共振モード（ZCS の一種）、SEPIC（single-ended primary inductance converter）、Cuk（統合的な磁気トポロジーであり、開発者から名付けられた）などが含まれる。

電力デバイスがゼロ電圧やゼロ電流でスイッチされない伝統的な（よりノイズな）トポロジーにおいては、スイッチング時間の短縮が常に効率の向上をもたらすということは真実ではない。全てのシステム、回路、そしてコンポーネント（特に巻線部品）は無線周波数に共振周波数を持つ。回路が利用する波形がその共振周波数に近い周波数成分を含む場合、その共振が「励起」され、リングングや望ましくない振動とエミッションを、そして電力スイッチング・デバイスでの損失を増加させ、あるいはそれらに損傷を与え得る電圧オーバーシュートを生じるであろう。

EMC の観点からは、より高速なスイッチング・エッジは高周波高調波でのより大きなエネルギーを、従ってより複雑なフィルタやシールドを意味する。設計の良くないスイッチ・モード電力コンバータにおいては、基本スイッチング周波数の 1000 次までの高調波がエミッション試験に不合格とさせることがある。

スイッチング用パワー FET の問題の 1 つは、そのドレイン電圧の変化率がゲート電圧に対して非線形となることである。「ゲート電荷モデル」（ C_{DG} による「ミラー効果」を含む）は、ドレインの dV/dt を管理できるようにゲート駆動回路を設計する際により良い精度を与える。

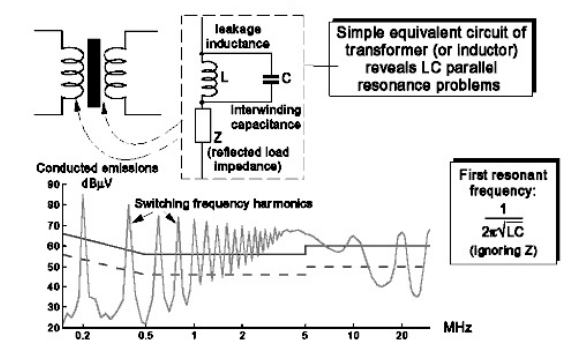
1.3.2 スナバ

スナバは、通常は寄生成分の共振によって発生するピーク電圧からスイッチング・トランジスタを保護するために必要となる。Figure 5 は、絶縁トランスに典型的な寄生漏洩インダクタンスと巻線間容量を示している。

これらは、その電流の切り替えが急激となるほど電圧の大きなオーバーシュートを生じる共振回路を作る。エミッションのスペクトラムにおいて、このような共振はしばしばエミッションの包絡線の規則的な変化として観察される。

トランスにおいては、スナバはオーバーシュートを抑制すべき巻線に接続される。スナバには多くの種類がある：抵抗とコンデンサを直列としたもの（RC スナバ）は普通は EMC のためには最良であるが、他のタイプのものよりも発熱が大きくなることもある。妥協を覚悟し、またスナバでのインダクティブな抵抗の使用に用心すること。インダクタンスはスナバの性能を損なうので、非常に低インダクタンスの電力用抵抗とパルス定格を持つコンデンサを用い、関係する巻線に非常に短いリードで接続すべきである。

Figure 5
The need for snubbing in switch-mode circuits



1.3.3 放熱器

放熱器は TO247 電力デバイスのコレクタやドレインに対して 50pF 程度の、また他の形状のパッケージにおいても同様の静電容量を持ち、コレクタやドレインの dV/dt に対して強く結合し、製品内部や外界の他のコンポーネントとの浮遊容量を介して強い電界を放射し得る。大抵は、一次スイッチング・デバイスの放熱器は一次直流電源レールの 1 つに接続する—ライブとなる放熱器の上やその近傍への明確な表示を含め、全ての安全要求を完全に考慮して—ことが最良である。

安全性を高めるために放熱器を静電容量を介して危険なレールに接続することもでき、最も問題となる周波数を最小とするために、リードや PCB 配線の長さに応じてその容量を「チューニング」することさえ可能であるかも知れない。

電界エミッション問題を磁界エミッション問題に置き換えることを避けるために、放熱器に注入された（その 50pF 程度の静電容量を通して）RF 電流を、最小の面積を囲みながら、可能な限りすみやかにその発生源に戻すことが重要である。最良の放熱器抑制手法（例えば、放熱器をいずれの直流レールに接続するのが最良であるか）を見つけるために、試作段階で何回かの繰り返しを行なえるようにせよ。

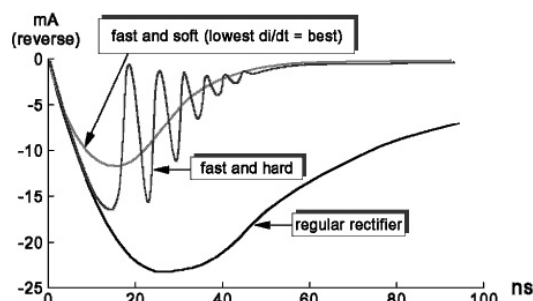
代替手段は、シールド付き熱伝導性絶縁板を使うことである。そのシールド内層は適当な直流レールに接続される。放熱器そのものは絶縁されたままとし、あるいはシャーシに接続することができる。これは最も安全であるものの、よりコストを要する。

1.3.4 整流器

一次フライホイールに用いられる整流器、及び二次整流器は、その逆電流の流れに応じてノイズに大きな影響を与えることがある。より高速なスイッチング・デバイスはより少ない逆電荷（電流×時間）を必要とし、より少ないノイズを発生する。しかし、ハード・スイッチ・タイプのは、スイッチャ・コ

ンポーネント（特に絶縁トランス）での共振のきっかけとなり、過度のオーバーシュートとエミッションを引き起こすことがある。EMC のためには、Figure 6 に示すように、高速のソフト・スイッチング・タイプのものを使うことが最良である。

Figure 6
Improvements due to fast-recovery soft-switching rectifiers



1.3.5 磁気コンポーネントに関連した問題と解決

例えばトロイドやギャップレス・コアを用いて、インダクタやトランスの磁気回路を閉じるように特に注意すること。エネルギー蓄積磁気回路向けには、実効的には分散したエア・ギャップを持ち、従ってギャップ付きコアよりも低いフィールドを放射する、鉄粉トロイダル・コアを使用することができる。C、E、あるいはポット・コアにおいてエア・ギャップを使わなければならないのであれば、漏洩フィールドを低減するためにその全体を囲む短絡巻線が必要となるかも知れない。「全体を囲む」ということは、それがトランスの本体全体を囲み、従ってそれが漏洩フィールドに対してのみ短絡巻線となることを意味する。

一次スイッチング・ノイズは絶縁トランスの巻線間容量を介して注入され、二次回路にコモン・モード・ノイズを生じる。このノイズ電流はフィルタすることが困難であり、(キルヒホッフ氏を満足させるために) 長距離伝搬して大きなループ面積を囲み、これによってエミッション問題を生じる。

絶縁トランス内の巻線間シールドは、二次回路における一次スイッチング・ノイズを抑制することができる。1層のシールドは大いに助けになり、これは一次直流電源レールに接続すべきである。5層までのシールドを聞いたことがあるが、3層はよりありそうである。一次巻線に隣接したシールドは通常は一次電源レールに接続され、二次巻線に隣接したシールドは通常は共通出力グランド（もしあれば）に接続され、中間のシールドは通常はシャーシに接続される。最良の接続を見つけるために試作を繰り返すことを覚悟せよ。

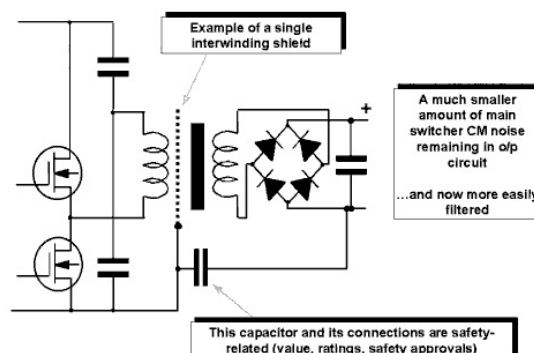
PCB トランスが徐々に一般的になっているが、これらにシールドを追加することは (PCB 製造上の

許容差のもとで沿面距離と空間距離が維持されることを確認しながら) PCB レイヤを追加することである。

もう1つの非常に強力なテクニックは、二次接地と一次電源レール的一方 (1.3.3 節も参照) との間に接続された小さい (安全認証を受けた!) コンデンサによって、この電流に局所的な還流経路を与えることである。このコンデンサが総接地漏洩電流を所定の安全規格の規定を超えさせないことを確認すること。これらのコンデンサは、コモン・モード・チョークがより効率的に機能するようにエミッションの信号源インピーダンスを低減させることにより、二次回路のどのようなフィルタをもより良く働くようにすることも助ける。

上記の2つのテクニックは、トランスの巻線間容量を通して入力に現れる二次スイッチング・ノイズも低減させる。この一次 二次間コンデンサは、入力のフィルタをより効果的にもする。Figure 6B は、単一の巻線間シールドと一次 二次間コンデンサを持つ単純なスイッチャを示している。

Figure 6B Two remedies for isolation transformer interwinding capacitance



1.3.6 スペクトラム拡散クロック

1.1.5 章で示した「スペクトラム拡散クロック」テクニックは、EMC 試験での測定値が下がるように個々の高調波のエミッションのスペクトラムを拡散させるためにある種のスイッチ・モード・トポロジーとともに使用することもできる。商業、及び工業環境向けの伝導性エミッション試験は 150kHz から 30MHz で 9kHz のバンド幅を用いており、高調波を $\pm 90\text{kHz}$ 拡散させることは 10dB 以上の低減を与え得る。

拡散の幅はしばしば 1~2% よりもかなり大きいものとなり、いくつかの高出力コンバータの製造業者はほとんどホワイト・ノイズのようなものをも用いている。

1.4 信号通信コンポーネント、及び回路設計

1.4.1 銅線を使わない通信が最良

EMC の観点から最良の通信は、自由空間 (例えば IrDA)、あるいは光ファイバーを通した、赤外線、あるいは光学的なものである。それらの送信器は過剰な放射を生じるべきではなく、また受信器は十分なイミュニティを持つべきであるが、それらは大抵は長いケーブルの EMC を制御するよりも容易である。それがエンクロージャ・シールドの境界を横切る箇所で金属ケーブルをフィルタし、そして / もしくは 360°シールド接続しなければならないところを、エンクロージャのシールドを損なうことなく、金属を使っていない光ファイバー・ケーブルをシールド・エンクロージャの壁を直接通して内部の PCB やモジュールに接続することも、しばしば可能である。

ワイヤやケーブルは最初は費用効果が良いように見えるかも知れないが、プロジェクトの最後でその EMC 問題が最終的に解決される時間のために、費用と時間の点からしばしば金属を使わない代替手段が推奨される。金属を使わない通信を使う他の理由は、極めて高い電圧に対する電氣的絶縁が自動的に達成され、製品の信頼性を向上させ、EMC 試験で不合格となるリスクを大幅に緩和することである。完全にシールドされた製品エンクロージャ内では大抵はワイヤやケーブルは費用効果の良いものとなるが、その場合でさえも「内部 EMC」問題とケーブル内の遅い伝搬速度が赤外線や光学的な代替手段をより魅力的にすることがある。(光トランシーバー自身の遅延の考慮を忘れないこと。)

1.4.2 銅線による通信のためのテクニック

シングル・エンドの信号伝送テクニックは、エミッション、及びイミュニティの双方について極めて貧弱な EMC 性能を持ち、低周波の、低データ・レートの、あるいは短距離の用途に限定することが最良である。通常、これは全ての配線経路の下にソリッドのグラウンド・プレーンがある PCB 上にとどめられていてコネクタやケーブルを介して出て行かない限りは大丈夫であるが、これは単一の PCB の製品が大抵最も費用効果が良いことを意味している。

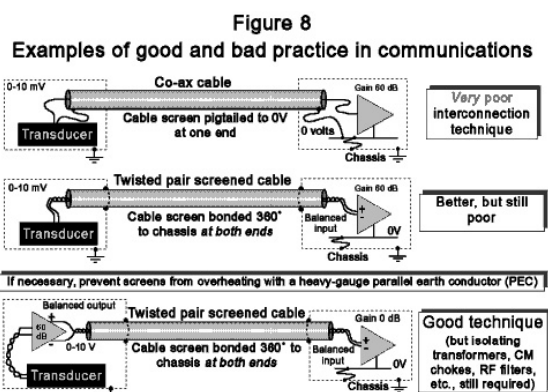
高周波の、あるいは長距離の信号は、良好な信号のインテグリティや EMC のためには (場合によっては PCB 上でさえも) 平衡信号として送受信されるべきであり、これがこの節の主題となる。

Figure 8 はミリボルト出力の変換器をケーブルを介して増幅器に接続するための、良い、及び悪いプラクティスを示している。一般に、ピグテールの使用やケーブルのシールドの片端でのみの接地と同

様、ケーブルのシールドを回路の 0V に接続することは非常に悪いプラクティスである。古い教科書の一部はケーブルを低周波用のものと高周波用のものとに分け、それぞれに対して異なったシールド接続規則を示している。しかし、電磁環境は今では極度に RF で汚染されており (そして既に示したように、「低速」オペアンプでさえも 500MHz 以上を復調する)、また多くの信号は装置内のデジタル・プロセッサからの RF コモン・モード・ノイズによって汚染されており、今では全てのケーブルを高周波用のものとして扱うべきである。

Figure 8 の 3 つの手法は、変換器との接続の劣悪なシステムから、よりましなもの、そして良いシステムの階層を示している。変換器のエンクロージャ内に A/D コンバータを付け、高度にエンコードされた (エラー訂正を含む) データをそれをデコードする製品にケーブルを通して送るのは、最良のものとして示したものよりも良いであろう。完璧なシステムはデジタル・データを金属のケーブルの代わりに光ファイバを通して送るものであろうし、そのようなシステムは産業分野での使用が増加している。

大きな、あるいは工業施設でのケーブルの遮蔽の過熱についての心配は、片端で「遮蔽を持ち上げる」—これはその端でケーブルのシールドの効果を損なう— ことによってではなく、大きな低周波電流 (それは低抵抗の経路を流れやすい) の大半を逸らすための並行接地導体 (PEC) に沿って通信ケーブルを敷設することによって、最も良く処理することができる。対策テクニックとしては有用であるものの、コンデンサ接続を全周波数範囲で効率的に機能させることが困難であることから、片端での遮蔽と直列にコンデンサを取り付けることも設計テクニックとしては推奨されない。PEC は、IEC 61000-5-2 で、そして Tim Williams と Keith Armstrong による「EMC for Systems and Installations」(Newnes, 2000, ISBN 0 7506 4167 3) で詳細に議論されている。



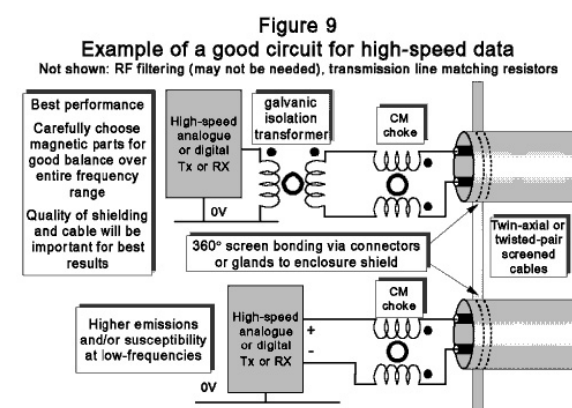
低周波信号 (例えば 100kHz 以下の) においてはイミュニティ上の理由から通信リンクでのより高い電圧レベルがより良い。信号周波数が (例えば)

10MHz を超える場合には、高い電圧は高レベルのエミッションを生じ得る— 最善の妥協として、しばしば低い電圧 (例えば ECL、LVDS、USB で用いられているような) が好まれる。低い電圧が好まれる周波数は、ケーブルの長さ、種類、そして EMC 性能 (特にその縦横変換損失) に、そして送受信回路の設計に依存する。

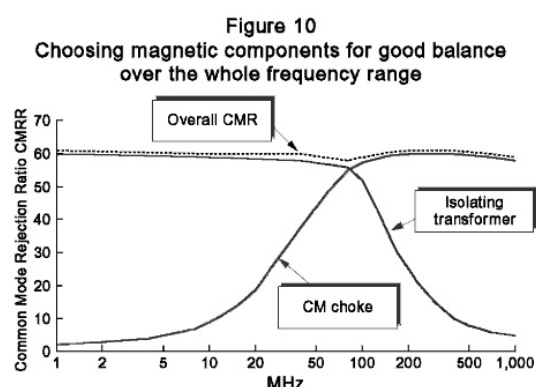
接続の長さと伝送すべき最大の周波数によっては、伝送線路テクニックは高速のアナログやデジタルの信号のために不可欠であるかも知れない (このシリーズの 5 番目の論文を見よ)。低周波信号においてさえも、相互接続に伝送線路テクニックを用いることによってイミュニティが向上するであろう。

EMC のために最良のタイプのケーブルは、大抵はそれぞれの信号導体に対して専用の還流導体を持ち、ケーブルのいかなるシールドも干渉を制御するためにのみ使用される。一般に同軸ケーブルは推奨されない。ケーブルによっては個々にシールドされた信号ペアが必要となる。それは良好なコモン・モード抑圧比 (CMRR) を、従ってエミッションとイミュニティの改善を意味することから、全周波数範囲で良好な平衡を達成することが非常に重要である。平衡送受信 IC は良いが、絶縁トランスは電気的絶縁を付け加え (それが絶縁破壊する点まで)、またコモン・モード電圧範囲を DC 電源レールを遥かに超えて広げるといった利点を持つ。平衡構造のツイスト・ペアや二芯同軸ケーブルは大抵は最良で最も費用効果の良いエミッション / イミュニティ性能を与え、然り合わせ (そして絶縁材料の着色に用いられている染料の誘電率でさえも) の極めて僅かな差が重要となることもある。高性能回路においては同一の PCB 層を用いた物理的に平衡な (鏡像の) PCB レイアウトさえも必要となるほど、平衡は重要である。

トランスや平衡送受信 IC はいずれも RF での平衡の低下の影響を受ける。関係する全周波数範囲にわたる良好な平衡の維持のために、それらは一般に直列のコモン・モード・チョークを必要とする。この CM チョークは常に製品の外周のケーブルやコネクタのできる限り近くに置く。トランス絶縁、平衡送受信、そして CM チョークは、いずれもケーブルから最良の EMC 性能を得ることを助ける。Figure 9 は、いかなる速度や周波数範囲のデジタルやアナログの信号 (通信) に良好なエミッション / イミュニティを与えるためにも同様に適用できる、2 つの例を示す。

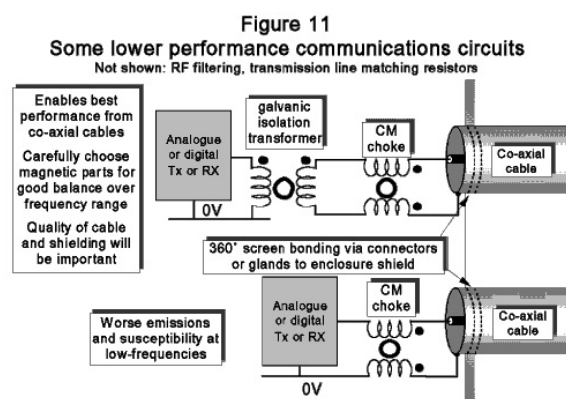


これらの回路は、平衡送受信回路 (一例ではトランス、他方では平衡入出力の IC による) が平衡通信媒体 (二芯同軸、あるいはツイスト・ペア・ケーブル) に CM チョークを通して接続されており、理想的なものである。Figure 10 は、Ethernet のような高速データの例で、関係する全周波数範囲にわたって良好な平衡を与えるために、トランスに適したチョークの CMRR がどのように選定されるかを示す。同様の設計テクニックは平衡 IC のためにも使用される。



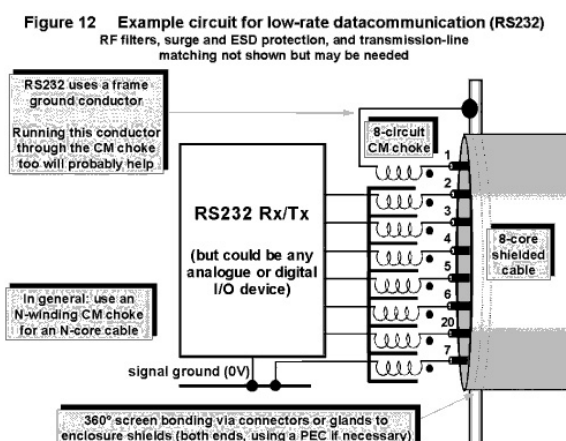
プロ用のオーディオ通信リンクでは、信号周波数は 20Hz、あるいはそれ以下にまで広がるので、その絶縁トランスは大きなものとなる。その大きな巻線間容量は 1MHz に満たない周波数から CMRR をゼロにまで下げ、従ってそのコモン・モード・チョークは 100kHz 以下から CMRR を与えるために大きなものとする必要がある。100kHz から 1,000MHz まで良好な CMRR を持つチョークを見つけることは難しいので、その範囲をカバーするために異なった仕様の 2 つのチョークを直列にする必要があるかも知れない。

ツイスト・ペア・ケーブルや二芯同軸ケーブルの代わりに同軸ケーブルが用いられている場合には EMC や信号インテグリティは悪影響を受け、Figure 11 で示したテクニック (上と同一) が、用いられているケーブルで可能な最良の性能の達成を助けるであろう。



絶縁トランスを持たない回路では、一般に低周波でのイミュニティは悪化する。

多くの通信は依然として低周波、あるいは低速であり、その信号は特にエミッションを生じ、あるいは妨害によって悪影響を受ける傾向があるわけではない(例えば、8ビット・コンバータへの、あるいはそれからのアナログ信号は12ビット・コンバータへのものほど敏感ではなく、それに対して16ビット以上のものは極めて敏感である)。そのような信号は、Figure 12 (RS232 アプリケーションの例) に示すように、しばしばコストを下げるために多芯ケーブル内の単一のワイヤで送られる。



導体が N 芯のものであれば、それらを両端で N 巻線のコモン・モード・チョークを通して回路に接続することが最良である。Figure 12 は8芯ケーブルのために用いている7巻線のチョークを示しているが、これは導体の1つがRS232規格に従って「フレーム・グランド」とされているためである。(このフレーム・グランド・リードは大電流を流すためのものではなく、またRS232は短距離でのみ用いられるためPECを必要としない。)

そのシングル・エンドの信号がエネルギーをエミッションとして放出するのに従って急速にインテグリティを失うので、RS232は短距離にのみ適切である。Figure 12 (そしてFigure 11の下回路)は十分に簡単そうに見えるものの、シングル・エンド信号の使用はコモン・モード・チョーク、ケーブル、

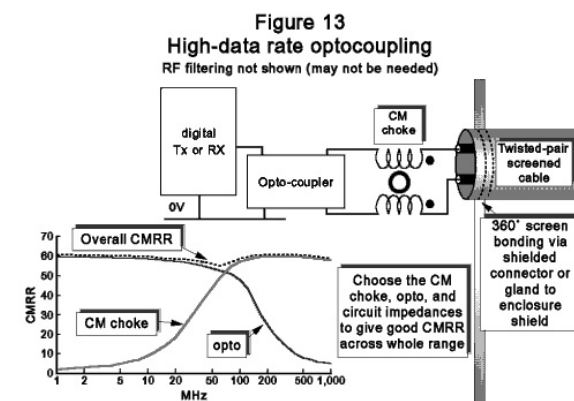
及び/もしくはコネクタの品質に対する配慮を必要とするであろう。(ケーブルやコネクタの種類や品質についてはこのシリーズの2番目の論文で議論する。)

極めて低速の出力エッジの(できればスルーレートが制限された)ドライバの使用は、エミッション問題を大幅に緩和する。その代わりに、標準ドライバはその高周波成分を減らすために受動的にフィルタすることができる。

1.4.3 光絶縁

光絶縁はデジタル信号のための一般的なテクニックであるが、典型的なフォトカプラの入出力間容量は1pF程度である—これは10MHz以上の周波数では回路インピーダンスに影響を与えてケーブル上の信号の平衡を崩すために十分に低いインピーダンスを生じる。

前と同様、適切なコモン・モード・チョークの選択が高域における平衡を回復させ、高速なエッジの信号をより少ないエミッションやイミュニティ問題のもとに通信できるようにする。Figure 13は高速の光絶縁リンクのグッド・プラクティスの例を示している。



前の例と同様、全周波数範囲(この例ではDC~1GHz)で良いバランス(CMRR)が維持されるように、CMチョークのCMRRは高周波におけるフォトカプラの平衡の低下を補償するように選定される。多くの場合、CMチョークは2つの同一のフェライト・ビーズに置き換えることもでき、チョークやフェライト・ビーズが不要であることがわかることもある。しかし、マーフィーの法則は、もしそれらをPCB上に配置して配線しておかなかったならばそれらが必要となり、しかもそれらのための余地がなく、プラスチックのエンクロージャを含めたその製品の全面的な再設計が必要となるであろうことを予言する。ケーブルをシールドする必要があるならば、その両端でシールド・コネクタやグランドを介して360°接続しなければならない(IEC 61000-5-2を参照)。しかし、電氣的絶縁が必要な場

合には、シールドの両端での接続は禁じられるかも知れない。この場合には、片端でのコンデンサ接続を使用できるかも知れない(全電圧に対する定格を持つ、おそらくは安全認証を受けたコンデンサによる) — さもなくば、シールドの片端を接続しないままとし、確実に劣悪な EMC 性能を持つことになる。

アナログ信号も、今では 0.1% までの直線性で (例えば IL300 のようなものを用いて) 光絶縁による利益を受けることができる。これは、多くの光結合された応用で電圧 周波数変換器 (そしてその逆) の使用を節約できる。

電源レールを完全に示さないという共通の製図ブラクティスのせいで、フォトカブラの両側が同一の DC 電源レールから給電され、達成される絶縁とその RF 性能を台無しにすることがある。フォトカブラの RF 性能はそれらの電源の RF 絶縁に応じたものにしかない。

1.4.4 外部入出力の保護

外部入出力は全範囲の電磁環境に曝される。上の図のより良い回路は、与えられた信号や半導体のために、より少ないフィルタリングや保護を必要とするであろう。

上の通信回路の全ては、連続 EMC 事象におけるエミッションやイミュニティのために、追加のフィルタリングを必要とするかも知れない。

ESD、トランジェント、及びサージ事象のためには、Figure 9、及び 11 の上の回路、及び Figure 13 は — その絶縁トランスやフォトカブラが与えられた電圧ストレスに耐える限り — 十分に保護されている。RF フィルタリングは ESD や高速トランジェントに対するある程度の保護も与えることができる。

上の回路で絶縁トランスやフォトカブラを持たないものは、データ・レートや周波数が非常に低い場合にはきついフィルタリングで充分かも知れないものの、ほぼ確実にダイオードやトランジェント・サプレッサによる過電圧保護を必要とするであろう。制御信号のためには、コネクタ近傍の $10k\Omega$ か $100k\Omega$ の直列抵抗と PCB グランド・プレーンへの $100nF$ か $10nF$ のコンデンサがほとんど全ての EMC 事象に対する驚くほどのバリアとなるが、論理状態のすみやかな変化は許されなくなる。

保護デバイスは半導体の実際の損傷のみを防止するので、デジタル通信は通常はデータの誤りを防止するために頑丈なデジタル・プロトコル (以下を見よ) を必要とする。

試作の基板に追加の保護コンポーネントを付けられるようにしておき、それが必要であるかどうかをできる限り早期に試験するようにせよ。

1.4.5 「アース不要」、及び「フローティング」の通信

電気絶縁の他の名前は「アース不要」、あるいは「フローティング」であるが、これらの用語はしばしば誤解され、あるいは誤用されている。

上の回路で絶縁トランスやフォトカブラを用いたものは、通信デバイスからの電流が 0V やシャーシを介して Tx と Rx のあいだで流れることは仮定されていないので、全て「アース不要」で「フローティング」である。これはそのケーブルの遮蔽が両端でローカルなシャーシ (エンクロージャ・シールド) に接続されているとしても真実である。実際には漏洩電流が寄生容量を介して流れ、これは CMRR が悪い場合には驚くほど大きな値となることもある。

「アース不要」、及び「フローティング」という用語は、時々、Figure 9 の下側の回路のように電氣的に平衡した入力や出力にも適用されることがある。良好な CMRR 性能は依然として 0V やシャーシを介した低い漏洩を与えるものの、そのような回路は電氣的に絶縁されておらず、本質的にサージの被害をより受けやすい。電氣的に平衡な回路は、2 本のラインの一方が偶発的にグランドに接続された場合の不安定性の影響を受けることも知られている。

実際に達成される絶縁の品質は、それぞれの側に給電する電源の絶縁性能によって制限されることを忘れないこと。

決して装置から保護接地を取り除くことによって「アース不要」の動作を達成しようとしないうこと — これは深刻な危険を生じ、いくつかの強制される法律に直接違反することになる。もし「グランド・ループ」が問題であれば適切な回路と設置テクニック (例えば PEC のような) を用い、決して安全性を犠牲にしてはならない。

「アース不要」や「フローティング」のようなジャーゴンを避け、実際に要求されている、あるいは意味しているものを、普通の回路用語で述べるのが最良である。

遮蔽を両端で接続できない場合

ある種の用途では、機器のグランドをケーブルの遮蔽や他の導体を介して接続しないことが必須となる。その機器は依然として主電源系統の接地に接続されるものの、その接地システムは特別な方法で管理される。これは EMC を低コストで達成するための助けとはならない。片端のみで接続された遮蔽は回路とその導体の平衡をさらに重要とし、所定の信号に対する所定の EMC 性能を達成することは、より困難、かつ高価なものとなるであろう。

安全上の理由から、沿面距離、及び空間距離に対する注意も重要となる。大きな施設において：遮蔽

が両端で接続されていないならば、サージは接続されていない端でアークを生じ、火災や有害な蒸気を発生させる可能性がある。サージを受けた時にその遮蔽と他の機器に人が触れていたならば、その人がショックを受ける可能性もある。明らかに、遮蔽を両端で接続しないことは回路部品やケーブルの一部に過度の電氣的、及び EMC ストレスを与え、サージ、トランジェント、及び ESD による損傷をより起こり易くするであろう。

1.4.6 危険な領域と本質安全通信

通常状態、及び故障状態で供給され得る最大の電力を制限するための特別なバリア・デバイスや、他の制限が要求されるかも知れない。専門の企業によって製造されるこれらのコンポーネントの EMC 性能は重大である。これ以上の議論はこのシリーズの範囲を超えている。

1.4.7 通信プロトコル

デジタル通信に用いられるデータ・プロトコルはエミッション、及びイミュニティの双方のために重大であり、それを自分自身で開発しようとするよりも、確認済みのプロトコルを実装したチップを購入した方がはるかに良い。単純なプロトコルは簡単であるが、EMC のためには全く良くない。CAN、MIL-STD-1553、LONWORKS などを実装したチップは、通常のプロジェクト・チームが匹敵することを期待することさえできない、干渉の制御に関する何百人年もの経験を含んでいる。頑丈なプロトコルのために余計な数ドルを費すことには、それだけの価値はあるであろう。プロトコルについてはこのシリーズでは議論しない。

1.5 受動部品の選択

全ての受動部品は寄生的な抵抗、容量、そしてインダクタンスを含んでいる。多くの EMC 問題が発生するような高周波においてはこれらの寄生成分はしばしば支配的となり、その部品に完全に異なった挙動を示させる。

例：高周波においては、皮膜抵抗はコンデンサ (0.2pF 程度のその並列容量により) となるか、あるいはインダクタ (そのリード・インダクタンスと抵抗のための螺旋により) となる。これら 2 つが共振し、より複雑な挙動を示させることもある。 $1\text{k}\Omega$ 以下の皮膜抵抗は通常は数百 MHz まで抵抗性であり続けるが、巻線抵抗は数 kHz 以上では使いものにならない。

コンデンサはその内部やリードのインダクタンスの影響によって共振を起こし、その最初の共振点よ

り上では主に誘導性のインピーダンスを持つであろう。

寄生成分が小さく、より高い周波数までその公称値を与えるので、良好な EMC のためには表面実装部品が推奨される。例えば、 $1\text{k}\Omega$ 以下の表面実装抵抗は、通常は $1,000\text{MHz}$ でも抵抗性となる。

全ての部品は、その電力容量 (特にサージに対する)、 dV/dt 容量 (固体タンタル・コンデンサは dV/dt が高過ぎると短絡を起こす)、 dI/dt などにも限界がある。受動部品は温度係数の影響も強く受け、またディレーティングを必要とする。表面実装部品はリード付きのものよりも低い電力定格を持つが、大半の電力は低周波で発生するので、そのような箇所では大抵はリード長を最小にするように注意した上でリード付き部品を使用することが可能である。

コンデンサにおいては、セラミックの誘電体は通常は最良の高周波性能を与え、従って表面実装セラミック・コンデンサは大抵は優秀である。ある種のセラミックの誘電体は強い温度係数や電圧係数を持つが、COG や NPO の誘電体は言うべきほどの温度係数や電圧係数を持たず、これを非常に安定で頑丈な、高品質の高周波コンデンサとしている。 1nF よりも上の定格では、これらは他の種類のものよりも大きくなり、価格も上がる傾向がある。

既に述べたように、磁気部品は閉じた磁気回路を持つべきである。これはエミッションと同様にイミュニティのためにも重要である。ロッド・コアのチョークやインダクタは、もし避けることができないのであれば、最大限の注意を払って使用しなければならない (無線受信器のフェライト・アンテナはどのような形状か?)。リニア電源で用いられる主電源トランスでさえも、保護接地に接続された巻線間遮蔽があればより良い EMC 性能を持つことができる。

受動部品のこれらの不完全性の全てが、フィルタの設計を教科書の回路やシミュレータの画面が示唆するよりもはるかに困難なものとする。

受動部品を高周波で使う (例えばグラウンド・プレーンへの $1,000\text{MHz}$ までの妨害電流をデカップルするために) のであれば、その寄生成分に関する全てを理解し、その影響を算出するための若干の単純な計算を行なうことは有用である。助けになる高品質部品の製造業者は寄生的なデータ、時には広い周波数範囲でのインピーダンス特性 (しばしばその自己共振性を暴露する) さえも公表している

一部の受動部品、特に危険な電圧に接続されるものは全て、AC 電源が最悪の条件となった場合の安全のための定格を持つ必要がある。ここでは、公認された独立のテスト・ラボによって正しい定格の正しい安全規格に対しての認証を受け、その識別マーク (SEMKO、DEMKO、VDE、UL、CSA などの)

を付けることを許された部品のみを使うことが最良である。しかし、部品上のこのマークの存在は何も示していない。さらに良いのは、その安全認証部品に対するテスト・ラボの証明書全てのコピーを入手し、それらがカバーすべきもの全てをカバーしているかどうかをチェックすることである。未知の寄生成分の受動部品を高速信号、及び / もしくは EMC のために使うことは、製品設計の繰り返しの回数を増やし、出荷時期を遅らせることになるであろう。

1.6 参考文献

- [1] Tim Williams, *EMC for Product Designers (3rd edition)*, Newnes, 2001, ISBN 0-7506-4930-5
- [2] Tim Williams and Keith Armstrong, *EMC for Systems and Installations*, Newnes, 2000, ISBN 0-7506-4167-3

Copyright (C) 1999 Nutwood UK Ltd.

これは、Keith Armstrong 氏が UK EMC Journal 上で発表した文書を、その許諾を得て T. Sato が翻訳したものです。この翻訳については、原著者らはいかなる責任も持ちません。これについての意見、質問などは VEF00200@nifty.ne.jp (T.Sato) 宛にお送り下さい。

Edition 1: 1999-12-16

Edition 2: 2000-03-05

Edition 3: 2001-11-08