

—EMC のための設計テクニック—

Part 6: ESD、ディップ、フリッカー、ドロップアウト、電気機械的スイッチング、及び力率補償

Eur Ing Keith Armstrong*, C.Eng MIEE MIEEE

翻訳: 佐藤智典**

これは、電気／電子／機械ハードウェア設計におけるベスト・プラクティス EMC テクニックに関する6つの論文のシリーズの最後のパートである。このシリーズは、電源、シングル・ボード・コンピュータ、そしてモータ・ドライバなどのような「工業用コンポーネント」から、コンピュータ、オーディオ／ビデオ／TV、計測器などのようなスタンド・アロンの、あるいはネットワーク化された製品の設計者を想定したものである。

これらの6個の論文でカバーするテクニックは：

1. 回路設計 (デジタル、アナログ、スイッチ・モード、通信)、及び素子の選択
2. ケーブル、及びコネクタ
3. フィルタ、及びトランジェント・サプレッサ
4. シールド
5. PCB レイアウト (伝送線路を含む)
6. ESD、電気機械デバイス、及び力率補償

上のトピックのいずれについても1冊の教科書を書くことができる (そして多数書かれている) ので、このジャーナルの論文の形ではさまざまな論点を示し、ベスト・プラクティス・テクニックの最も重要な点を示す以上のことはできない。この論文で述べるテクニックの多くは、信号のインテグリティを向上させ、開発に際しての繰り返しを減らし、また製造コストを削減するためにも重要である。

このパートの目次

● 6. 様々な特定のテーマ

— 6.1 静電気放電 (ESD)

- * 6.1.1 様々な種類の ESD
- * 6.1.2 「ヒューマン・ボディー・モデル」と ESD 試験

- * 6.1.3 人体 ESD のための設計テクニック
- * 6.1.4 誘電的保護
- * 6.1.5 シールド
- * 6.1.6 信号線へのインピーダンスの追加
- * 6.1.7 トランジェント電圧サプレッサ (TVS)
- * 6.1.8 信号線の低域通過フィルタ
- * 6.1.9 コネクタでのコモン・モード・フィルタ
- * 6.1.10 ESD のための電氣的絶縁テクニック
- * 6.1.11 信号汚染への対処

— 6.2 ディップ、フリッカー、ドロップアウト、停電、及び電圧低下

- * 6.2.1 ディップやフリッカーなどに対するイミュニティ
- * 6.2.2 ディップ、フリッカーなどのエミッション

— 6.3 電気機械的スイッチング

- * 6.3.1 スイッチ、リレー、及びコネクタでのアークやスパークの抑制
- * 6.3.2 DC モーターのアークとスパークの抑制
- * 6.3.3 電磁ベルのアークとスパークの抑制

— 6.4 力率補償

● 7. このシリーズのまとめ

6. 様々な特定のテーマ

このシリーズの以前のパートは、信号インテグリティも改善しながら、様々なエミッションやイミュニティ特性に利益をもたらすであろう設計テクニックに焦点を当てた。この論文は、信号インテグリティについては気にせず、特定のテクニックが必要となるかも知れない様々なテーマでシリーズを締め括る。

* Cherry Clough Consultants, Associate of EMC-UK

** URL: <http://member.nifty.ne.jp/tsato/>

6.1 静電気放電 (ESD)

6.1.1 様々な種類の ESD

ESD を引き起こす高電圧は、互いに擦り合わされた際に一方の材質から異なった種類の他方に電子が移動する自然のプロセスである摩擦帯電によって生じる。合成繊維やプラスチック材料はしばしば摩擦帯電のために非常に良いものとなり、ESD 問題は増加する傾向にある。ESD は極めて高速な現象であり、それが続いている間 (普通は全体で数十ナノ秒以下に過ぎない) は極めて激しいものとなる。

機械 ESD は絶縁された金属部品が絶縁材と擦り合わされ、あるいはそれらの上を絶縁性の液体やガスが流れる時に発生する。その金属部品は、それまでは帯電していなかった近くの何かへのスパークによって放電して電位を等しくするまで摩擦帯電する。このようにして作られるスパークは、特にその帯電した金属部品が大きく、従って大量の電荷を蓄えることのできる大きな静電容量を持つ場合には、非常に激しいものとなることがある。

備品 ESD は、椅子、机、キャビネットなどの金属製の備品 (あるいは備品の部品) が、絶縁材との摩擦によって摩擦帯電させられた際に発生する。これは、その備品がカーペットやプラスチックの床材の上を動かされ、あるいは例えば人が椅子から立ち上がった場合のように物質がそれと擦り合わされた際に発生する。

人体 ESD は、通常は歩行によって摩擦帯電した人々によって引き起こされる。プラスチックの床材や合成繊維のカーペットなどの上の歩行は、人体 ESD の一般的な原因である。少数の人々は、その指からの 2.5kV 以下でのスパークに気付くことさえある。

ここで説明するテクニックの多くが適用できるであろうものの、航空 ESD はここではカバーされない。

これらの 3 種類の ESD の全ては半導体の製造や電子製品の組み立てにおいて非常に重要であり、それらの領域ではそれらの 3 種類の ESD が利益を減らすことを防止するために十分な配慮が為されている。機械 ESD はプロセス制御オートメーションで大きな問題となることがある。しかし、人体 ESD は EMC 指令の元に整合されている EMC 規格の中に見出すことのできる唯一の種類の ESD である。

ESD は主に 3 つの方法で EMC 問題を引き起こす：

- 半導体に注入されるスパーク電圧は、それに容易に損傷を与えることができる。現代的な半導体は数十ボルト程度でブレークダウンしてデバイスの領域間を恒久的に短絡することのある内部絶縁を用いている。これはハード故障として知られている。

- 大半の IC には取り扱いや組み立てに際しての ESD による損傷を防止するための保護デバイスが組み込まれている。しかし、それらの内部デバイスは大量の電力への対処に充分な程大きくすることはできず、顕著な ESD 事象は、時には半導体が機能するままに、それらを焼損することがある。その半導体は通常は数週間から数ヵ月後に故障することから、これはソフト故障として知られている。
- ESD スパークの付近で発生する激しい過渡電界や磁界は、近傍の回路に電圧や電流を誘導させ、その動作を妨害することがある。発生した誤動作が結果的に何らかの損傷を引き起こすことはあるものの、これは普通は直接的な損傷は引き起こさない。

6.1.2 「ヒューマン・ボディー・モデル」と ESD 試験

EN 61000-4-2 の試験に用いられる ESD シミュレータは 150pF/330Ω ヒューマン・ボディー・モデルに基づいており、数 kV のピークに達するまでの立ち上がり時間が 700ps ~ 1ns で、その後 50ns で約 50% に低下する波形を発生する。8kV の電圧においては、50Ω 校正用負荷へのピーク電流は 20A 近くになる。そのような ESD 波形の周波数成分は 300MHz 前後でロール・オフするまで平坦であり、1GHz、あるいはそれ以上においても顕著なエネルギーを含む。

いくつかの古い試験規格は 5ns の立ち上がり時間を持つに過ぎない古いヒューマン・ボディー・モデルを用いており、そのスペクトラムは 60MHz でロール・オフし始め、そしてそれは EN 61000-4-2 試験のようにアグレッシブではない。高速測定テクニックが改善されれば、実際の ESD 事象が 700ps よりも速い立ち上がり時間を持ち得ることがわかりそうである。

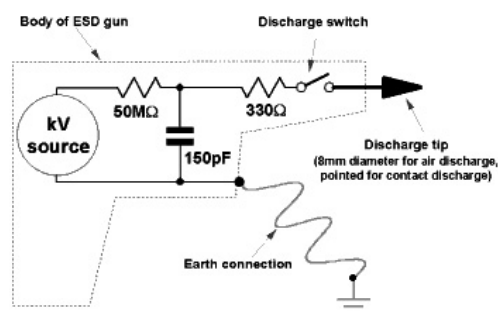
EN61000-4-2 (人体放電) の試験は、以下のものを含む：

- ±8kV までの気中放電 (人の指をシミュレートするための 8mm の丸いチップを用いる) は、オペレータが普通にアクセスすることのできる非金属性のもの全てに適用される。
- ±4kV までの接触放電 (放電の前に製品に接触させる鋭いチップを用いる) は、オペレータがアクセスできる金属の部分に—そして近傍の垂直や水平の金属板にも—適用される。

試験電圧は、低い値から、しばしば試験電圧の 25%、50%、75%、そして 100% の設定を用いて、段階的に増加させられる。これは、ESD 故障が、低い電圧で発生するが、最大の試験レベルでは発生しないことがあるためである。ESD 試験（これは他の種類のトランジェントについても真である）の最高の試験レベルが最も故障を引き起こしやすいものであるとは限らない。

Figure 6A は ESD 「ガン」のごく本質的な部分のスケッチである。

Figure 6A
Basic circuit of ESD 'gun' for personnel ESD testing to EN 61000-4-2



乾燥した気候においては人体 ESD 事象は容易に 8kV を超えることを心に止めること。空気が非常に乾燥する寒い冬の条件では、特に湿度管理なしに暖房された家や建物においては、15kV、あるいは 20kV も珍しくない。従って、 $\pm 8\text{kV}$ の ESD 試験に適合することはフィールドにおける実際の ESD 問題からの開放を保証せず、信頼できる製品の製造を助けるために ESD 試験を行なう際には環境とユーザーの要求の双方を考慮する必要がある。

6.1.3 人体 ESD のための設計テクニック

このシリーズの以前のパートで解説した全ての設計テクニックは電界や磁界に対する回路のイミュニティの改善をかなり助け、従って ESD 事象からの短時間であるものの激しい高帯域の妨害のバーストに回路が対処することを助ける。しかし、通常はそれだけでは充分ではない。人体 ESD スパークが製品を駄目にするのを防止するための 2 つの主なテクニックは：

- 誘電的保護（絶縁）
- シールド（金属の、あるいはメタライズされたエンクロージャ）

誘電的保護は推奨されるテクニックであるが、それを製品全体に用いることができない場合には、内部、及び外部の双方の接続とともに ESD 問題が起こることがある。これは以下で議論する。以下で説明するテクニックの多くは、電気的絶縁とは異なり、このシリーズでは独立したトピックとしては扱っていないその他の伝導性トランジェントやサージに対する保護のためにも有用であろう。

6.1.4 誘電的保護

これは最良の ESD 保護手法である。ESD スパークを全く発生させないようにすることにより、スパークが敏感な回路に注入されることを防止するだけでなく、電界や磁界のバーストも発生しないようにする。

プラスチックのエンクロージャ、メンブレン・キーボード、プラスチックのつまみや操作用シャフト、プラスチックのスイッチ・キャップ、プラスチックのレンズなどは、いずれも製品（特にオペレータとのインターフェースの領域や操作部）を絶縁するために用いられる。1mm の厚さの PVC、ポリエステル、ポリカーボネート、あるいは ABS などの一般的なプラスチックは、通常は 8kV の ESD からの保護のために充分過ぎるものである（材料の kV/mm での破壊電圧定格をチェックすること）。しかし、実際のエンクロージャで継目、接合部、あるいは換気口を持たないものはないので、充分な沿面距離と空間距離の達成が極めて重要となる。沿面距離は、電流が全ての可能な表面に沿って「這う」場合に、被害を受けやすい部分に達するために辿らなければならない最短の経路であり、空間距離は被害を受けやすい部分への空気を通る最短の経路（その経路にある金属部品は、その寸法とは無関係に距離がゼロであるものとして計算する）である。

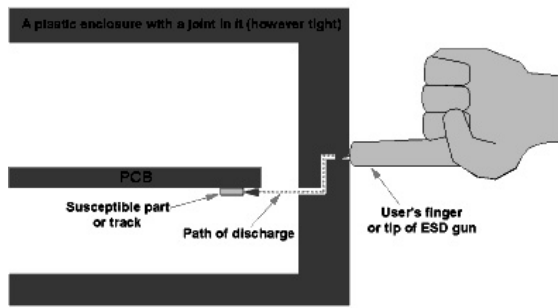
空気の破壊電圧は通常は 1kV/mm 前後であるので、空間距離は対処しやすい。ESD ガンのチップから被害を受けやすい部分への距離が少なくとも 8mm（設計余裕を与えるために、できれば 10~12mm）ある限り、ESD スパークは発生できない。

プラスチックの表面は常に離型剤、指紋、埃などで汚染されており、これは空気中の湿気を吸収して不安定な導電層を形成するので、沿面距離はより難しい。ESD ガンのチップからのスパークは、しばしばプラスチック・エンクロージャ、表示、キーボードなどのプラスチックの表面のランダムな経路を通過して最終的に金属部品に到達することが見られ、時には汚染を通る最低の抵抗値の経路を通過して 50mm にも達することもある。（塗装された金属表面はしばしば同様の長いランダムなスパーク経路を示し、普通は見るために顕微鏡を必要とする塗装のピンホール欠陥を引き起こす。）従って、汚染された、あるいは湿った環境以外では、おそらく 50mm 以上あれば充分であろうものの、ESD 試験からの保護となるであろう充分な沿面距離を規定することは非常に難しい。

Figure 6B は沿面距離と空間距離を組み合わせた設計上の論点を示す。プラスチック・エンクロージャの接合部は、ESD スパークがプラスチックの表面に沿い、それから被害を受けやすい PCB トラック

で終わるためにエンクロージャ内部の空気を通して伝搬できるようにする。Figure 6B は、通常は PCB をプラスチック・エンクロージャの継目や接合部と揃えないことが良いアイデアであることを示している。

Figure 6B
ESD sparks can enter via joints in plastic enclosures



いくつかの基本的な注意がされているならば、LCD 表示、メンブレン・パネル、そして感圧ゴム・キーパッドは、ESD の防止のために非常に良いものとなり得る。その表面は少なくとも 15kV まで ESD プルーフであるものの、そのエッジに問題を持つことがある。ESD スパークはその絶縁表面の汚染に沿って進み、内部の被害を受けやすいトラックに達するためにそのエッジを回り込むことがある。

LCD は、しばしば指がそのエッジに近付き過ぎることを防ぐ大きなベゼルを用いてこの問題に対処している。最近では、絶縁封止材や類似の素材がより広く使われるようになってきている。他の手法は、それがいずれかの敏感な部品に達する前にスパークを「捕まえる」金属のブラケットで LCD パネルを囲むことであるが、何らかの敏感な部品へ放電させることなく周囲の金属から電荷を取り除くための何かが行なわれなければならない。メンブレン・キーパッドやパネルは接着されたプラスチック層に挟み込まれた内部の導電トラックを持っている。もしそのトラックがパネルのエッジに近過ぎ、かつその接着材にエア・ギャップがあるならば、スパークは前面（気中放電チップが適用される箇所）から、エッジを回り込み、接着材の空隙を通して内部のトラックへ入ることができ、それよりも悪いことがない場合でも誤ったキー押下を与える。従って、接着材に空隙がないことを保証するための全ての試みが行なわれるべきであるものの、依然として内部トラックをパネルのエッジから少なくとも 12mm（可能であればより多く）離すことが最良である。

感圧ゴム・キーパッドも、そのゴム成形のエッジの表面の汚染を通して裏側の被害を受けやすいキーパッドのトラックに達するスパークによって悪影響を受ける。メンブレン・パネルとは異なり、通常はそれらは絶縁を与える接着材の利点を持たず、どのようなスパークが達するにも遠すぎるように、感圧

キー成形のゴムのエッジを十分に広げるとともに、下の PCB 上のトラックを十分に内側に寄せることが重要である。

プラスチックのエンクロージャが RF エミッションやイミュニティの要求に適合するために適用された内部のシールド・コーティングを持つ場合、これが誘電的分離手段を損なうことがある。その導電層がエンクロージャの継目のあいだを接続するためには、それは少なくとも継目の中まで広がらなければならない、さらに導電性ガスケットが取り付けられることもある。これはシールドされていないものでは存在していた沿面距離や空間距離を損なうことがあり、そのようなエンクロージャにおける ESD 試験は、しばしば ESD ガンのチップがエンクロージャの継目や接合部の近くに置かれた際にスパークがチップから飛んで内部のシールド層に達するために継目や接合部の中に消えることを見出す。この状況では、通常はエンクロージャ全体の誘電的分離を達成することは非常に困難であり、その代わりに次に示すシールド手法を用いる必要があるかも知れない。可能であれば、プラスチックのケースを、後で誘電的分離 ESD 保護を損なうことなく内部シールドを追加できるように設計しておくことを事前に計画することは良いアイデアである。これは、特に小さい製品においては、達成が難しいことがある。

6.1.5 シールド

シールドは、（非常に大きな）ESD 電流を内部回路から離そうとする。これは外部の導電性接続全てを（そしておそらくは内部の回路をも）「グラウンド・リフト」による間接的な ESD 注入にさらすため、これは一般に誘電的分離のように良くない。

金属エンクロージャへの ESD スパークが発生した場合、最初の数マイクロ秒はそのエンクロージャはそれが接続されているいかなる保護接地よりも遥かに高い電位にあるであろう。この局所的な「グラウンド・リフト」は、エンクロージャの電荷が何らかの保護接地接続のインダクタンス（通常は数十 μH ）を通して漏洩するのに従って減少する。エンクロージャが保護接地に接続されていない場合には、シールド・エンクロージャの電荷は、周囲の空気やイオン電流、水分を介した伝導、あるいは類似の機構によって、ゆっくりと漏洩する。グラウンド・リフト現象の始まりでは、内部回路はまだ以前の電位にあるかも知れず、エンクロージャと内部部品のあいだでスパークが発生するかも知れない。これは「二次アーク」として知られており、半導体や信号のためには元の ESD スパークと同程度に悪いものとなり得る。

内部回路がそのエンクロージャの電位の急激な変化に対処できる限り、それが保護接地電位にあるか、あるいはそれから 8kV の電位にあるかは気にならない。従って、その接地からの絶縁がその外部相互接続により大きな問題を引き起こすかも知れない(後述する)ものの、バッテリー駆動や二重絶縁の製品(それが接地に接続されていないとしても)を ESD 事象に耐えるようにすることは全く現実的である。

従って、外部シールドを持つだけでは充分ではない。二次アークに対する解決の 1 つは、ESD 事象に際して回路とシールドのあいだの低い電圧を維持するために十分に低いインダクタンスを持つ接続を用いて内部回路をエンクロージャ・シールドに接続することである。この接続は大抵は回路基板の 0V プレーンとエンクロージャの直接の接続であるが、その代わりに容量性接続であっても良い。

エンクロージャが相互接続された多数の PCB を含む場合、ESD 事象に際してそれら全てがエンクロージャ電圧に同じ速度で充電されることを保証することは重要である。もし 1 つの回路基板がエンクロージャへの低インダクタンス接続を持ち、他のものが高インダクタンス接続を持つならば、それらのあいだに相当の過渡電圧が生じることがある。これはそれらの基板の相互接続に電流パルスを入力し、実際の損傷を与えないとしても信号の汚染を引き起こす。従って、大きな内部電位差の防止のために異なった基板の 0V プレーンを多数の導体を用いて互いに接続する(1つか2つの信号導体ごとに1つの基準導体でも過剰ではない)ことは常に良いアイデアである。

内部回路の金属エンクロージャからの誘電的分離は内部二次アークを防止するためのもう1つの手法であり、0V プレーンとエンクロージャの接続が高いインダクタンスを持ち、あるいは全く存在しないことを許す。この手法は、特にそれが高いインピーダンスで動作している場合には、敏感な回路に対する欠点を持つ。導体とエンクロージャのあいだの不可避な浮遊容量はグラウンド・リフトに際して導体に電流パルスを入力し、これはアナログ信号を汚染し、ロジック状態を変え、あるいは故障を引き起こすのに充分となることがある。敏感な回路の内部遮蔽(局所的な基準プレーンに接続された)が必要となるかも知れない。

通常は長い外部ケーブルが関係する箇所、接地電位差から敏感な信号を保護するために回路のエンクロージャからの電氣的絶縁が用いられる場合には、その絶縁は通常は主電源周波数においてのみ必要となり、しばしば電氣的バリアを横切って容量性接続(適切な定格のコンデンサを用いた)を行なうことが可能である。これは機能を損なうことなく ESD

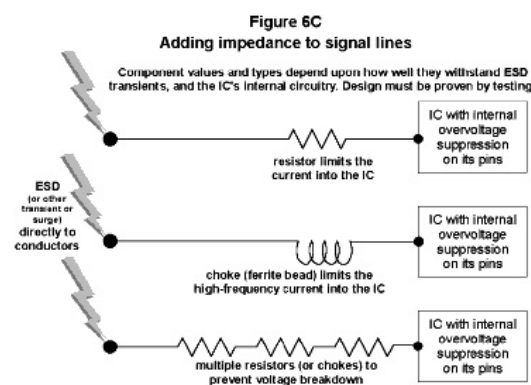
事象に際しての過渡電圧を等しくさせる。この手法が適切でない場合には、絶縁された回路を覆う、その絶縁された局所的な基準プレーンに接続された内部シールドが必要となるかも知れない。

エンクロージャ・シールドのごく小さいギャップや接合部でさえも、エンクロージャの周囲を流れる ESD スパークからの非常に大きな高速電流を逸らせ、電界と磁界の局所的な激しいパルスをシールドを通してエンクロージャ内部に放射させるため、弱点となる。周波数ドメインから見ると、その代わりに、ESD 事象の高周波成分がそのギャップや接合部がエンクロージャ内部へ放射するためのスロット・アンテナとして有効であることに気付くと言うことができる。従って、このシリーズの第4部で解説したように、シールドの全てのギャップや接合部を最小の大きさに保つことが重要である。それらが非常に小さいとしても、敏感な回路はそれらから十分に離すべきである。

6.1.6 信号線へのインピーダンスの追加

ある種のインターフェース・デバイス(一部の RS232 用の IC などの)は、その RX、及び TX 接続への直接の EN61000-4-2 試験に耐えると主張している。しかし、大多数の半導体については、上で説明した電氣的絶縁やシールドのテクニックを用いて ESD の直接の影響から保護することが最良である。

しかし、何らかの理由から回路導体が本当に ESD スパークに曝されなければならないのであれば、直列抵抗やチョーク(Figure 6C に示したような)の使用は回路への ESD 注入を IC 自身の内部保護デバイスで処理できるようにするかも知れない。これはインターフェースや「グルー・ロジック」デバイスに対してのみ可能であると思われ、外部ケーブルに直接接続することを想定していないマイクロプロセッサのような VLSI デバイスに対しては通常は推奨できない。



大半の抵抗やチョークは ESD 電圧に対する定格は持っていないが、それが物理的に大きく、十分な熱容量を持っており、かつそれ自身を弧絡(アーク

オーバー) しないならば、対処できるかも知れない。大きな蓄積電荷を伴うある種の機械 ESD 事象については同じことは言えないかも知れないものの、人体 ESD 事象は非常に小さいエネルギーを持つので、大きな熱容量は抵抗が損傷を受けることを防止する。ESD 電圧を分担して弧絡やブレークダウンを起こさないようにするために、いくつかの抵抗やフェライトを直列にする(このテクニックから最大の利益を得るためには、互いに近付けて直線上に配置する) ことが必要かも知れない。

抵抗やチョークの製造業者はその製品の EN61000-4-2 試験に対する仕様を規定していないので、代表的な回路と PCB レイアウトについて少しチェックすることが最良である。異なった IC には異なった値が必要となることがわかるかも知れない。ESD 事象に含まれる全周波数範囲で高インピーダンスを与えるように、使用するチョークは慎重に選択するべきである。「ソフト」故障が発生しないことを確認するために、常に何回かの試験を行なうこと。

半導体製造業者によるマスク変更は(他の全ての EMC 対策を無効にすることがあると同様) そのような保護回路設計を不適切にすることがあるので、ESD 保護を含む EMC 全てに対するマスク変更の影響の評価を行なっているあいだ生産を継続するための予備在庫を購入できるように、マスク変更の時間が近付いたならば警告するという同意を半導体供給者から取り付けることが最良である。

この抵抗やチョークは、回路が正しく動作することを妨げる程大きな値を持つ必要があるかも知れない。これは特に高速信号において問題となる。解決策の 1 つは、後述するようにディスクリートのトランジェント電圧サプレッサを追加することである。これは大半のデバイスの内部保護手段よりも遥かに大きい電圧や電流のトランジェントを扱うことができ、直列抵抗やチョークのインピーダンスを低くし、あるいは完全になくすことを可能とする。

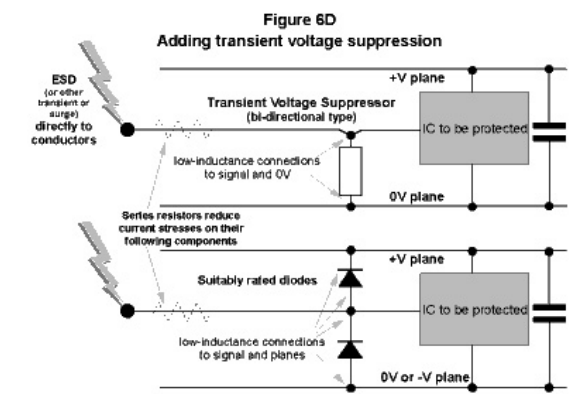
しかし、単に直接の ESD 注入から半導体の致命的な損傷を防止するだけの全ての手法の潜在的な深刻な問題は、信号の一時的な汚染を防止しないことである。デバイスが損傷を受けないとしても、信号の汚染は ESD 試験に不合格とさせることがある。これは後述する。

6.1.7 トランジェント電圧サプレッサ (TVS)

上で言明したように、スパークの回路導体への侵入を許さないことが常に最良である。しかし、何らかの理由から回路導体が本当に ESD スパークに曝されなければならないならば、上述のように直列抵抗やチョークを取り付けることによって関連する IC を生き残らせることが可能かも知れない。

トランジェント電圧サプレッサ (TVS) 製造業者によって広くアドバイスされている代替テクニックは、Figure 6D に示すように、被害を受けやすい導体と局所 0V プレーンのあいだに適切な定格のディスクリートの TVS を取り付けることである。IC の内部保護デバイスよりも遥かに高い定格とすれば直列抵抗やチョークはかなり低いインピーダンスを持つことができ、しばしば完全に除去することもでき、これは機能の点からはより良いものとなる。

TVS が IC を正しく保護するためには低インダクタンスのプレーン接続が必要であるので、第 5 部で解説したデカップル・コンデンサを 0V プレーンに接続する際のテクニックに従うべきである。また、保護される PCB トラックは TVS の他方の端子を通過しなければならない。信号経路から近くの TVS ヘッドトラックを「枝分かれ」させることは、TVS が IC を保護することを妨げるインダクタンスを生じる。TVS は強力な放電電流を信号導体から 0V プレーンにバイパスさせる必要があるため、その ESD トランジェント放電電流—今は 0V 回路を流れ、外部接地へ戻る経路を探している—が製品の他の部分で問題を生じないように注意しなければならない。



今では、広範囲の電圧や電力の定格の TVS コンポーネントを、リード付きの、あるいは SMD のスタイルで入手することができる。スペースを節約できる PCB 実装アレーや、スパーク電流をコネクタの金属ボディーに分流する(従って金属エンクロージャが PCB の 0V プレーンへの良好な高周波接続を必要とする) コネクタに取り付けられたものも入手できる。いくつかの製造業者は、コネクタのそれぞれのピンに容易に TSV を追加できるように、一般的なコネクタの半田付けピンを覆うように取り付けられる非常に薄い柔軟な回路を作っている。フィルタと比較したディスクリート TVS の大きな利点は、これらは高周波信号をあまり損なわないことである。それらの大半はツェナー技術に基づいていてある程度の静電容量を持っており、非常に高速の信号のための必要な定格を持つ適切な低静電容量の TVS の選択は依然としてかなり制限されてい

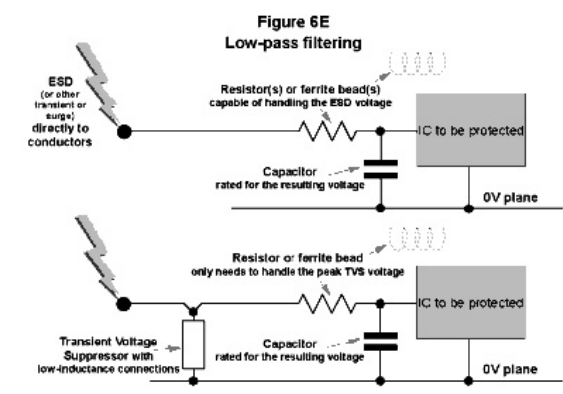
る。極度に低静電容量の ESD 保護が必要であれば、Figure 6D に示すように、信号導体と 0V や電源のプレーンとのあいだの逆バイアスされたダイオードが有効であるかも知れない。逆バイアスされたダイオードはツェナー・ダイオードよりもかなり低い静電容量を持っている。このダイオードは順バイアスされた際に ESD 電流を取り扱える必要があり、その局所的な電源プレーンは ESD 電荷を吸収する際に電圧が上がり過ぎないように充分な高周波デカップリング容量を持つ必要がある。TVS やダイオードの漏洩電流が静電容量よりも問題となるならば、nA の漏洩を達成するために、代わりに FET を用いることができる。

しばしば TVS は露出した回路への EN61000-4-2 ESD スパーク問題に対する完全な解決策であると宣伝されるものの、残念ながらこれは現実には正しくない。それらの、IC の内部保護デバイスや上記の逆バイアスされたダイオードと共通する問題は、ESD トランジェントがそれが保護している導体上の信号を汚染することを防止できないことである。

従って、信号の汚染を防ぐために、TVS の使用に加えるテクニックが必要であり、これは後のセクションで解説する。

6.1.8 信号線の低域通過フィルタ

直列抵抗やチョークの後に局所 0V プレーンへのコンデンサを取り付ける (Figure 6E に示すように) ことは、導体への直接の ESD 注入に対する素晴らしい保護を与えることができる。これは、実際の損傷の防止を助けるのと同様、トランジェント電圧を過剰な信号汚染を防止できる程度に低いレベルに抑えることができる。残念ながら、フィルタは高速信号に対する限界がある。



この回路のコンデンサは、ESD の発生源の容量とその電荷を分担する。人体 ESD の発生源は (古い試験規格で用いられている一部の古いヒューマン・ボディー・モデルは 330pF を用いているものの) 150pF 程度の容量を持っており、8kV の電圧は、1nF の

コンデンサでは 1000V、10nF では 120V、そして 100nF では 12V 程度に低減されるであろう。

ESD の発生源とコンデンサとのあいだに抵抗やチョークを追加することは、抑制されないままでは何十アンペアにも達することがあり、コンデンサに過剰なストレスを与え、またそれによって生じる激しい磁界によって二次的な問題を引き起こす可能性があるピーク電流を低減する。1k Ω の直列抵抗は 8kV 放電のピーク電流を 8A に、10k Ω は 800mA に、そして 100k Ω は 80mA に制限するであろう。

これから、必要な信号が 1 秒の時定数によるフィルタが気にならない程度に遅い場合には、100k Ω の直列抵抗とその後の 100nF のコンデンサが人体 ESD 事象を大幅に和らげるであろうことがわかる。勿論、この直列抵抗やチョークは損傷を受けることなく 8kV に耐えることができる必要があり、これは (いくつものを直列にして用いるのでない限り) 通常の抵抗を排除する。サージ定格を持つ抵抗も入手できるが、それらは通常の抵抗よりも大きく、また高価である。フェライト・ビーズの製造業者の一部は、彼らの製品がその両端に 25kV までの ESD を与えられても損傷を受けないことを確認しているようであるが、彼らがその試験に際して弧絡を許容しているかどうかは知らない。端子の間隔が小さいことから、表面実装の抵抗やフェライト・ビーズはかなり低い電圧で弧絡を起こすことがある。残念ながら、直列にされた多数の SMD は表面汚染の差異のためにあまり良く電圧を分担しないので、弧絡しないことを保証された (おそらくはリード付の) コンポーネントの代わりにこのテクニックを用いる場合には非常に大きい余裕を設計に含める (例えば、必要となる数の倍のコンポーネントを直列にすることが最良であろう)。

負荷インピーダンスが保護回路の直列インピーダンスよりもかなり大きい場合には、ESD 事象による高電圧は長く続き、その保護は電荷の分担とピーク電流制限によって達成される。しかし、保護すべき IC や回路の負荷インピーダンスが RC 回路の直列抵抗やフェライト・ビーズのインピーダンスよりもかなり小さい場合には、ESD 事象はかなり短い時間で終了、その RC 回路は低域通過フィルタとして働いて ESD 事象のさらに大きな減衰を与える。

TVS (Figure 6E に示すような) の後に「低域通過フィルタ」を設けることは、負荷インピーダンスが直列素子 (抵抗かフェライト・ビーズ) のインピーダンスよりも低い場合に有用である: TVS は ESD の 8kV (あるいは何であっても) を数十ボルトに低減し、低域通過フィルタはそれを望ましいレベルまで減衰させる。勿論、(直列抵抗によって制限されていない限り) TVS へのピーク電流は非常に大きなものとなり、これはその局所的な磁界によって問

題を引き起こすかも知れないが、TVS の後の抵抗やフェライト・ビーズは ESD 電圧に応じた定格を持つ必要はなく、通常のコンポーネントを用いることができる。

高速な信号が関係する場合には、コモン・モード・フィルタリングは可能であるかも知れない(以下を見よ)ものの、個々の線のフィルタリングでは必要な信号に悪影響を与えることなく有効な ESD 保護を達成することはできないであろう。通信プロトコルやソフトウェア・テクニック(以下を見よ)と共に、小さい容量性負荷のみを追加することからその代わりにトランジェント電圧サプレッサ(上を見よ)を用いる必要があるかも知れないが、そもそもスパークを導体に入り込ませないことが依然として最良である。

6.1.9 コネクタでのコモン・モード・フィルタ

外部信号や電力ケーブルは最初は以前の電圧にあるので、金属エンクロージャが ESD スパークに打たれることによる「グランド・リフト」現象は、外部ケーブルとインターフェースする回路を横切って過渡的な高電圧が現れるようにする。全ては相対的であり、これはエンクロージャが接地電位にあり、全ての外部ケーブルが突然高電圧に上昇したかのようなものである。例えば、エンクロージャ ESD スパークによって突然 +4kV まで帯電したならば、それはエンクロージャが接地電位のままで、その代わりに全ての外部ケーブルが突然 -4kV に帯電したかのようなものとなる。

(上の 2 つの節で述べたように) 外部ケーブルとの電氣的インターフェースを保護するためにそれぞれの電力や信号の線にフィルタ、及び / もしくは TVS を用いることができるかも知れないものの、それぞれの信号線の独立したフィルタリングは大抵は高速信号とは両立せず、それに対して TVS は信号の汚染を防止しない(以下を見よ)。

インターフェース回路が受けるトランジェント電圧はそのケーブルの全ての導体に対して同一であるので、これはコモン・モード (CM) トランジェントであり、高速信号を損なうことなくトランジェント電圧を抑制することを助けるために CM 抑制テクニックを用いることができるかも知れない。

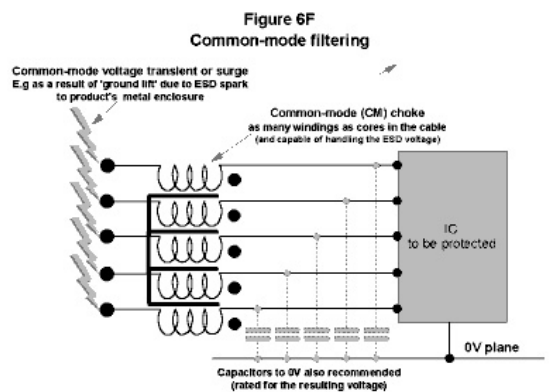


Figure 6F はこの目的のためのコモン・モード・チョークを示す。これはケーブル中の導体と同じだけの巻線を必要とする。8 個までの巻線を持つ表面実装やリード付きのコモン・モード・チョークが入手可能である。この CM チョークが関係する周波数にわたって十分に高いコモン・モード・インピーダンスを持つならば、ESD トランジェントがインターフェース回路を損傷することを防止できるかも知れない。信号の汚染が問題となっている状況においては、CM チョークは信号の動揺を大きく低減することができる。

非常に小さいコンデンサ容量(用途に依存するが、例えば 10pF ~ 1nF のあいだ)が用いられるのではない限り高速信号のためには適切ではないものの、CM チョークがフィルタ・コンデンサと共に用いられる場合にはより大きな抑制を達成できる。多数の導体を収めなければならない場合には特別に巻かれたチョークが必要となるかも知れない。人気のあるテクニックは、ケーブルをソフト・フェライトのシリンダーやトロイドに通すことである。典型的な 32mm の長さのフェライト・シリンダーに一度通すと 100MHz で 250Ω 前後のコモン・モード・インピーダンスを生じ、これはある種の PCB 実装型のコンポーネントのものほど大きくはないものの、しばしば EMC 問題の有意な改善のために充分である。

より高いコモン・モード・インピーダンスが必要な場合には、そのインダクタンスを増やすためにケーブルをフェライトに 2 回、あるいはそれ以上巻き付けることができる。残念ながら、複数の巻き数は最大のインピーダンスが達成される周波数も下げ、巻き数がある程度以上となるとさらに巻き数を増やすことによる利益は得られなくなる。通常はチョークのインピーダンスは巻き数の自乗で増加するものと期待するが、次の例 (Steward Inc. の Alan Keenan が提供してくれた) が示すように、ソフト・フェライトではそうなるとは限らない。特定のソフト・フェライト・コアについての試験では、2 回巻きでは Z のピークは 322MHz で 692Ω、3 回巻きでは Z のピークは 152MHz で 809Ω、4 回巻きでは Z のピークは 1300Ω まで上昇するもののその周波数は 108MHz に低下した。ケーブルに沿った複数のフェライトの列は、インピーダンスが最大となる周波数を下げることなくフェライトの個数に比例してインピーダンスを増加させるが、やや非実用的に見えるかも知れない。フェライトに通したケーブルは常にフェライトのそれが入ったのとは反対の側で終るべきであり、最良の高周波性能のためには、そのフェライトは紐に連ねられたビーズのようになる。フェライト(あるいはフェライトの列)の一端から他への浮遊容量はその高周波性能を損なうので、ケーブルやトラックの引き回しが極めて重要となる。

6.1.10 ESD のための電氣的絶縁テクニック

外部接続を電氣的に絶縁することは製品が ESD に (そして伝導性のトランジェントやサージにも) 耐えるようにすることをかなり助ける。多くの種類のもは ESD のために十分な沿面距離、空間距離、そして耐電圧を持たないであろうし、また多くの種類のもは過剰なトランジェント電流が流れることを許す内部寄生容量を持つであろうものの、PCB 実装型の光絶縁素子やトランスを用いることができる。その ESD バリアとしての欠点にもかかわらず、適切な安全規格に適合する絶縁主電源トランスは、しばしば電源装置を人体 ESD から保護するために十分に適切であるように見える。外部信号通信のための最も最良の電氣的絶縁は、対象の製品の近くの異なった電圧の導体を一切伴わないことから、光ファイバー、無線、あるいは赤外線テクニックによって達成される。勿論、関係する送受信モジュールは非常に敏感なものとなることがあり、しばしば専用の局所的なシールドの内部に取り付けることが最良となるが、今ではかなり大きな PCB 実装型シールドでさえも自動実装のためにテープ / リールで入手でき、手での組み立てを必要とする場合と比べて遥かに費用効果の良いものとなっている。光ファイバー・ケーブルは金属の補強材、保護外装、あるいは金属の蒸気バリアを用いることがあるが、これは ESD 保護のための沿面距離や空間距離を損なうことがあり、従ってそのようなケーブルの使用を完全に避けることができないのであれば製品との接続の十分に手前で除去すべきである。

5 年前、私は機器の要素間の信号接続のために銅のケーブルを用いている人々は 2005 年には少々時代遅れであると思なされるであろうという考えを示し始めたが、依然としてこのタイムスケールは正しいと信じている。

6.1.11 信号汚染への対処

EN61000-4-2 試験法を用いて整合 EMC 規格のための ESD 試験を行なう場合、試験された製品の動作状態 (そしてその表示や記録された情報) が試験の前後で完全に同一であることを要求することが普通である。これは、ファースト・トランジェント・バースト (EN61000-4-4)、サージ (EN61000-4-5)、そして ISO 7637 に示されている様々な自動車トランジェントなどの、他のトランジェント試験においても普通は同様である。

ESD (あるいは他の種類の伝導性のトランジェントやサージ) に対する保護のために IC の内部保護や TVS を用いることは、信号やデータの汚染を防止するためには何もせず、試験の後での製品の動作状態、表示、あるいはメモリは異なったものとなるこ

とがあり、試験への不合格をもたらす。信号の汚染を防ぐためには、しばしば追加のテクニックが必要となる。

キーボードのような普通の制御線のためには、「デバウンス」テクニック (機械的接点のデバウンスのために日常的に用いられているような、ハードウェアやソフトウェアによる) は非常にうまく機能し得る。低域通過フィルタ (上を見よ) は、しばしば TVS の後に用いられる、良い古風な「デバウンス」テクニックである。

高速データに対しては強力なデバウンス・テクニックを用いることはできず、勿論それはデータ・レートもスローダウンするものの、大抵は何らかの種類の誤り防止プロトコルが必要となる。多くの場合、単発の ESD 事象はシリアル通信リンクにおいては単一ビット誤りを引き起こすので、単純なパリティ・チェックやハミング符号の使用によってイミューニティーを大幅に改善することができる。しかし、これらのテクニックは、ESD 以外のトランジェントでは普通であるような、あるいは ESD 事象が二次アークを引き起こす場合のような干渉のバーストに対してはあまり効果的ではなくなるであろう。今ではいくつかの非常に包括的な誤り訂正プロトコルが商業的に入手可能 (1.4.7 章を見よ) であり、必要なチップやソフトウェア・ライセンスを購入した方が自分自身で開発しようとするよりも大抵は費用効果が良く、また時間も節約できる。パリティ・チェックやハミング符号のような単純なテクニックとは異なり、そのようなプロトコルの大半はバースト誤りへの高い耐性を持ち、広範囲の用途や状況でフィールドで実証されている。

その結果がヘッドホンの短時間のクリック音やメータの針の一時的な揺らぎだけである場合には、アナログ信号の一時的な汚染は許容できることもある。しかし、それが判定スレッシュホルドを横切り、あるいはアナログ信号が平均処理に通され、もしくはデジタル化の後に記録される場合には、アナログ信号の短時間の誤りでさえも許容できないかも知れない。

アナログ信号には誤り訂正プロトコルを容易に用いることはできないので、大抵はデバウンス・テクニック (低域通過フィルタのような) が用いられる。そのアナログ信号が高周波を扱わなければならない場合には信号からトランジェント事象をフィルタすることは非常に困難になり、必要な精度 (分解能のビット数と等価) が上がると、ESD トランジェントが信号導体に侵入することを防止するために、結局は誘電的分離やシールドのテクニックが必要となる。

6.2 ディップ、フリッカー、ドロップアウト、停電、及び電圧低下

AC 電源は全て一時的な電圧の低下の影響を受ける：これらはディップと呼ばれる。ディップは、しばしば同一の電源に接続された負荷（電源の有限のインピーダンスが負荷電流サージを電圧ディップに変換する）や、配電網の誤った切り替えによって生じる。電気照明に対して持つ視覚的な影響から、これが頻繁に起こる場合にはフリッカーと呼ばれる。ディップが十分に深い場合には、ドロップアウトと呼ばれる。長時間のディップは電圧低下（brownout）と呼ばれる。フリッカーは最大の量が限定されている。

6.2.1 ディップやフリッカーなどに対するイミュニティ

たとえそれがまだ整合 EMC 規格で要求されていないとしても、全ての電子機器はその種の妨害に耐えるように作られているべきである。サージ（この論文のシリーズではあまり深くは扱わなかった）と同様、これらの妨害は公共電力供給が存在を始めた時（約 100 年前）から良く知られ、文書化されており、少なくともこれらの既知の EMC に適合するように設計（そして望ましくは試験）しなかったならば、製造業者は EMC 指令の保護要求にどのように適合させたかを示すために困難な時間を過ごすこととなる。

ディップ、フリッカー、あるいはドロップアウトに対するイミュニティは、通常は製品の電源の非安定 DC レールが十分に長い「保持時間」を持つことを保証することによって最も容易に達成できる。ディップやドロップアウトが電圧低下や停電となる程長く続いたならば、最良のテクニックは製品がきれいに動作を止め、その現象が過ぎ去った時にきれいに動作を再開することを保証することである。

上の「きれいに」という言葉は、例えばオーディオ・パワー・アンプがスピーカーを壊したり音響的に望ましくない不安定性、ポップ、クリック、あるいは衝撃音を出さないことを意味する。モーター駆動のためには、「きれいに」の意味はその用途に依存する—これは（例えば）モーターが直ちに止まるべきであるか、あるいは徐々に停止すべきであり、そしてその現象の後で緩やかに加速すべきであるか、もしくは手動で指示されるまで再起動しないべきであるかのいずれかであることを意味するかも知れない。電圧低下は、それをストールさせて過熱させ、その絶縁に損傷を与えることによってモーターに損傷を与えることがあるので、それを制御する電子回路が電圧低下の影響を受けないとしてもモーターは保護されるべきである。（クリティカルでない用途では、しばしば一時的なデータの喪失は許容される

ものの）デジタル回路は蓄積されたデータを損なわないような方法で停止すべきである。

電圧低下や停電に際しての機器の望ましい挙動はその用途に依存し、安全に関係する用途ではクリティカルなものとなるかも知れない。EMC 指令は安全性はカバーしないので、電子回路に対する電磁妨害の影響によって安全に関係するシステムの誤りや誤動作が引き起こされ得る場合には、それは低電圧指令や機械指令などのような安全指令の元に扱わなければならない。

電源を監視して、非安定電圧レールが低くなり過ぎた際に制御された停止やリセットを行なう、多数の半導体デバイスが入手可能である。単純な抵抗コンデンサゲートによる電源リセット回路は AC 電源の全ての種類の動揺から回路を保護するためには常に不十分であるので、現在ではほとんどいかなる製品もこれに頼るべきではない。

ある種の電源監視デバイスは、非安定レールが限界に近づくことを予知するために「先読み」し、様々な種類のメモリへの読み込み／書き込み動作を禁止するための信号を出力する。これは電圧不足状況でメモリがごみで上書きされることを防止でき、短時間の現象の場合にはリセットを必要とせず、RAM 上に保存された一時的なデータを維持し、電源の一時的な低下が起こらなかったかのように動作を継続することさえ可能とする。

無停電電源（UPS）は電源品質問題に対処するための一般的な方法になりつつあるが、これは万能薬ではない。全ての AC 電源 EMC 妨害を「保護された」製品に通過させることなく処理するための能力は、信頼性に対してすべきであると同様、慎重に評価すべきである。それが「保護」する機器よりも低い信頼性を持つ UPS から給電することによって電気系の信頼性が低下することが知られている。常時二重変換を用いた適切な寸法と信頼性の UPS は、電源問題が機器の動作を妨害することを防止するために大いに助けとなることがある。

6.2.2 ディップ、フリッカーなどのエミッション

配電網の電圧に対する電源電流の変動の影響も考慮しなければならない（特に、EMC 指令の元に、EN 61000-3-3 が 2001 年 1 月 1 日以降に EU に供給される 16A/φ 以上の全ての装置に強制となるので）。

トランジェント・サージ電流の最も一般的な原因に対処する最も容易な方法は、電源投入時の電流サージを制限するために電源入力と直列に抵抗を挿入し、DC 電源への電源投入時サージを制限することである。この抵抗は、最初の 1、2 秒後にリレーやサイリスタなどで短絡される。

代替手段は、直列抵抗の代わりに負温度特性 (NTC) 抵抗デバイスを用いることである。NTC は最初は高抵抗を持ち、電流の通過によって暖まった後に小さい値に低下する。その製品によって取り込まれる電流や許容される最大入力サージと共に、その熱容量と熱抵抗も考慮に入れる必要がある。NTC デバイスが非常に熱くなり得ることを忘れてはならず、これがプラスチックを融かし、他のコンポーネントやケーブルに損傷を与え、あるいはオペレータやサービス技術者に火傷を負わせることを許してはならない。

モーターやその他の誘導性のコンポーネントは、それに最初に電圧が印加された際に重い磁化電流のサージを吸い込むことがある。これに対する有用なテクニックは、電圧が緩やかに増加する振幅で印加されるソフト・スタート (ランプ・スタートと呼ばれることもある) である。これは急激な電源投入トルクを防止するという利点も持つ。

大きなオーディオ・パワー・アンプや類似の高電力制御機器は、特に強い低音や類似の低周波負荷変動がある場合には、フリッカー問題を引き起こすことがある。最良であるものの高価な解決は、そのような機器に専用の配電変圧器、モーター・ジェネレータ・セット、あるいは二重変換 UPS から給電することである。

非安定電源レールの蓄積コンデンサを大きくすることは助けになり得るが、これが実際にしていることはフリッカーの高い周波数成分をフィルタすることだけである。普通は (概して) 「フリッカー」のレートを 1Hz よりもかなり低くすることが必要となるので、全ての主電源フリッカーを除去するためには極度に大きいコンデンサが必要となることもある。より良いテクニックは、非安定蓄積コンデンサを回路の動作のために必要となるよりもかなり高い電圧で動かし、重い負荷電流要求によって引き起こされる DC リップルの余分な電圧全てを許容することである。リニア・レギュレータが用いられている場合にはこれは効率を悪化させるので、この手法は (電力デバイスにより高い電圧定格が必要となるかも知れないものの) 効率が高いままとなるスイッチ・モード・レギュレータにより適切である。時定数が設計に組み入れられるであろうものの、これはフィルタ・テクニックではなく、おそらく電荷 / 時間管理テクニックとしてより良く説明できるであろう。

しばしば、類似の結果を達成するために (いわゆる) 力率補償スイッチ・モード・ブースト・コンバータ・テクニック (以下を見よ) を用いることができる。これらの回路は常にその入力電流要求の応答時定数を 1 秒以上とし、電源網へのフリッカーの低いエミッションのために要求される電荷 / 時間管理を達成するために容易に用いることができる。

6.3 電気機械的スイッチング

それぞれの導体はその固有インダクタンスにエネルギーを蓄積し、モーターなどのような誘導性デバイスもその磁界にエネルギーを蓄積する。スイッチ、リレー、整流子、あるいはスリップ・リングなどのような電気機械的接点を開くことによって電流の流れが急に止められると、その回路切断接点が最初に開いた際 (あるいは閉じた後にバウンスした際) に、空気のブレイクダウンによって、この蓄積エネルギーの「フライバック」がスパークを生じる。

スパークは全く文字通りに DC から光までの電磁妨害を放射し、多くのマイクロプロセッサ回路設計者はその高周波成分が (例えば、コイル 接点間容量や、ケーブルや PCB トラックの近接によって) いかにも容易に彼らのデジタル回路に結合して彼らのマイクロプロセッサをクラッシュさせるかに驚かされる。

電気機械的スイッチングを完全に避けることによってアークやスパークの生起を避けることが最良である。それらの一部はそれ自身が新たな EMC 問題を付け加えるであろうものの、ソリッド・ステート・リレー、ブラシレス直流モーター、交流モーターなどの使用は、いずれもスパークの除去を助ける。

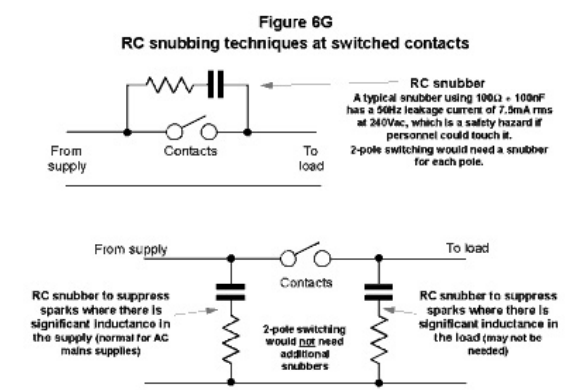
6.3.1 スイッチ、リレー、及びコンタクトでのアークやスパークの抑制

スパークを避けることができない場合、10ms 以下の期間のスパーク (主電源サイクルの半分以下、またマイクロスイッチや高速動作リレーの典型) で、製品内で毎分 5 回を超えるスパークがないことを保証することにより、エミッション規格への適合が容易になるであろう。重工業用途においても、スパーク発生率の総レートが毎分 5 回以内であるならばエミッション規格に適合する助けとなるが、1 秒、あるいは 2 秒に達するスパークも許容できるかも知れない。注意 — このスパークのレートや期間はエミッション規格によって許容されるかも知れないものの、それは依然として敏感な回路を狂わせることがあるので、特にクリティカルな機能の制御や監視が行なわれる場合には動作上の理由から望ましくない。

アークやスパークからのエミッションは、通常は「スナバ」によって低減することができる。単純なスナバは、誘導性フライバック電圧の上昇速度を低下させて発生するスパークのサイズを制限するために、R と C を直列に組み合わせたもの (時には C のみ) をスイッチング素子の近くに接続することを伴う。接点ギャップを横切ってスナバを接続することは、AC 回路において、リレー接点やスイッチが開

いていることから安全であると期待した回路で作業している人を感電させることのある漏洩電流が流れるようにするという欠点を持つ。

スイッチング素子の近くで、負荷の送出導体と還流導体に並列にスナバを接続することは、スイッチされる接点を横切って接続するよりも良い結果を持つことがあり、また接点を漏洩するようにしない。1つは負荷のインダクタンスのフライバックに対処するために、そして1つは電源のインダクタンスのフライバックに対処するために、2組のスナバが必要となることもあるだろう。Figure 6G はスイッチやリレーの接点のためのスナバの代替手段を示す。



スナバとしては、フライバック電流の代替経路を与えるために、ダイオード、整流器、ツェナー、そして多様なサージ保護デバイス（このシリーズの第3部を見よ）などの非線形素子を、単体で、あるいはRC スナバと組み合わせて用いることもできる。このデバイスのターン・オン電圧が高くなると蓄積エネルギーの消散が早くなり、負荷のサイクル・レートを早くすることができる。残念ながら、ターン・オン電圧が高くなると接点でのスパークが大きくなり、従ってこれは動作速度とエミッションとの妥協へと導くことがある。DC 回路は、フライバック電圧は供給された電圧とは逆の極性を持つことを忘れずに、無極性半導体スナバを用いることができる。

全てのスパーク抑制テクニックの副次効果は、それらが大抵は接点寿命を伸ばすことである。

6.3.2 DC モーターのアーキとスパークの抑制

一般に、DC モーターは伝導性や放射性的エミッションの極めて深刻な発生源であり、またこれは抑制することが極めて困難である。それらをエミッション規格に適合させるためのフィルタやその他の抑制デバイスはモーターや電磁ベル自身よりもコストを要する（そして嵩張る）ことがある。

そのブラシが同時に多数の回転子巻線に接続されており、従って常に回路の中のそれらの1つが巻線のフライバック電流のための経路を与えるので、あ

る種の「パンケーキ」DC モーターはスパークしない。

大きな、完全に取り囲む金属ボディーを持った、より工業向けの DC モーターは、エミッションが低く、また低コストのモーターよりも抑制し易い傾向がある。コントローラやドライバに何メートルものケーブルで接続された大きな DC モーターは、その遮蔽がモーターの金属端子箱に（そしておそらくコントローラ端では接地されたキャビネット・エンクロージャに）360°接続される限り、高品質の遮蔽ケーブルを用いることによってエミッションを抑制することが可能である。

このテクニックが充分ではない、あるいは適用が不可能な場合（多くのモーター付き玩具や CD プレーヤーなどのような家庭用機器において）には、その回転子に取り付けられたトランジェント・サプレッサを持つモーターを使うことが最良である。ブラシ付きモーターにおいては回転子はエネルギーが蓄積される箇所であり、それが整流子でスパークを引き起こす前に対処することが最良である。特にバリスタ（このシリーズの第3部で解説した電圧依存抵抗）を整流子のそれぞれの接点ペアの間に接続する場合には、「バリスタ・ディスク」は大半の低電圧 DC モーターに容易に取り付けることができる。24V モーターのためには、バリスタ・ディスクは30V 程度で導通し、フライバックが発生した時のみ電流を流すように設計されるかも知れない。フライバックの間、それは隣接する巻線にエネルギーを流し、結果としての整流子の過電圧を 45V 程度以下に制限する。これは依然としてスパークを引き起こすが、それは遥かに低いエミッションを持つ、小さいもののみとなる。

バリスタ・ディスク・モーターが入手できない場合には、通常はモーターをシールドし、整流子の後でフィルタすることが必要となり、低コストで行なうことが非常に容易であるとは限らない。金属シールドされたモーター本体は（大雑把には）スパークからの放射エミッションを捕らえ、それが来たモーターの中へフィルタを介して戻す。フィルタは伝導性エミッションを低減するためにも必要である。DC モーターは 1GHz（そして、現実には 10GHz においても）でも強度のエミッションを持つので、モーターのシールドは非常に少数の非常に小さいギャップを持つ必要がある。金属のエンド・キャップと金属の本体を持ったモーターは良くシールドされているように見えるかも知れないが、塗装や陽極処理によって金属部品間の接続が貧弱なものとなっているかも知れない。

良好に機能するフィルタリング・テクニックは、整流子端子の1つを金属のモーター本体（シールド）に直接接続することである。他の端子は、非常に

短いリードを持つ COG や NPO の誘電体を用いた 820pF の積層セラミック・コンデンサのような、非常に良い高周波特性を持つコンデンサによって、モーターの金属の本体にデカップルされる。そのコンデンサは整流によって引き起こされるトランジェント電圧を扱える定格を持たなければならない。ブラシの 1 つを金属構造に直接接続することが不可能な場合には、それは他のブラシと同様の方法によってデカップルされるべきである。これらの接続やデカップルのためには低い自己インダクタンスが非常に重要であり、5mm の長さや距離でさえも重大となることがある。それは安価ではないものの、完全に金属で覆われたモーターにねじこまれてモーター・ケーブルへのブラシ端子として用いられる 1nF 前後の貫通コンデンサは、しばしば極めて良好に機能するものとなる。

シールド、接続、及びデカップルの正しい適用は、モーターのエミッションを十分に低くするかも知れない。そうでなければ、次のステップは、デカップリング・コンデンサにできる限り近く、モーター本体のすぐ外で、ブラシ・リードにチョークを追加することである。通常はコモン・モード・チョークとライン・シャースイ間コンデンサは高周波エミッションを抑制するために最良であるが、ディファレンシャル・チョークとアクロス・ザ・ライン・コンデンサは低周波エミッションを低減するために必要であるかも知れない。難しいケースでは双方の種類のチョークを用いた多段フィルタが必要となるかも知れず、リードの全長を小さくしてモーター本体へのコンデンサの低インダクタンス接続を可能とするために、モーターの整流子側のエンド・キャップに直接実装された PCB を用いて実現することがしばしば最良である。

整流子に非常に小さいスパークのみを起こすバリスタ・ディスク・モーターは整流子が摩耗するよりもかなり前に最期を迎えるが、シールドやフィルタされたモーターではスパークは全く小さくならないのでこの面での利益は得ないであろう。

6.3.3 電磁ベルのアーキとスパークの抑制

整流子モーターと同様、電磁ベルも DC から光までのエミッションを発生する。最良のテクニックは、スパーク・ギャップを取り除き、ハンマー・ソレノイドにハンマーの固有周波数のパルス電流を流す（非安定）発振回路を用いることである。これは通常はどのようなフィルタ手法よりもかなり安価である。そのような電磁ベルは遥かに信頼できるものででき、当然その製造に際してスパーク・ギャップの調整を必要としない。これは 1880 年代からの電磁ベルの設計における最初の顕著な改善であるかも知れない。

6.4 力率補償

EMC 指令の元に、2001 年 1 月 1 日以降に EU に供給される 16A/φ 以下の全ての機器について EN 61000-3-2 が強制となることから、これは現時点で多くの電源設計者の意識にのぼっているトピックである。このエミッション規格は製品が吸い込む高調波（すなわち非正弦波）電流を制限し、これは（少なくとも数年間は抜け道が存在するであろう「1kW を超える専門家用機器」を除く）ほとんど全ての電子製品や設備で用いられているリニアやスイッチ・モードの DC 電源において特に困難である。

典型的な整流器 コンデンサ AC-DC 電力変換器の問題は、その DC 蓄積コンデンサを AC 電源波形のピークでのみ充電し、従ってその供給電流は不連続な、非正弦波の、高調波の多い、力率の低いものとなることである。これは、発電や配電に、その少なからぬ部分は火災保険業者が徐々に心配するようになっている過熱や発火である、多数の問題を生じる。発電や配電のレベルでこの問題に対処する多くの方法があるが、ここでは機器の電子設計についてのみをカバーする。3 相電源から給電されるバランスした負荷を持つ電力変換器はより少ない 3 次高調波（3 次、9 次、15 次など）を持つ。6 相電源（1 つはデルタ二次巻線、1 つはスター二次巻線の、2 つの 3 相電源）から給電されるものでは 5 次、及び 7 次の高調波のレベルも低くなる。中性導体において打ち消し合うことなく累積されてケーブルの過熱の主な原因となることから特に厄介な高レベルの 3 次高調波のエミッションを持つことから、単相電源においては特別の問題がある。EN 61000-3-2 は、3 次高調波に対して、単相リニア電源ではその電力が 50W 以上になると徐々に適合が困難となるであろう非常に低いエミッション・レベルを規定している。

小さいリニア電源はその主電源トランスに比較的高いインピーダンスを持ち、これは電源電流のパルスの時間を広げ、その高調波成分を低減する。電源トランスが大きくなるとそのインピーダンスは下がり、ブリッジ整流器への電流はより鋭くなり、厄介な高調波をより多く含むようになる。解決策の 1 つは、直列インダクタンスを、通常はブリッジ整流器と蓄積コンデンサの間に追加することである。これは電流パルスを広げ、その高調波成分を低減することを助ける。最低の高調波はチョークが DC 電流がゼロに落ちないほど大きいインダクタンスを持つ時に達成されるが、そのようなチョークは絶縁トランスと同程度の大きさとなることがある。定インダクタンスのチョーク入力型フィルタを用いた単相整流を、1500W までの全ての有効電力に対して EN 61000-3-2 の Class D 高調波限度に適合す

るように設計することができるという情報について、John Woodgate に感謝する。7mH ~ 70mH のチョーク定数は直接倍電圧整流のためにほぼ必須であり、低い電力や電流のためにはより大きい定数を適用する。低電圧高電流電源が必要であり、またスイッチ・モード・テクニックが望ましくない用途のためには、独立したコンポーネントの追加を節約するために必要なインダクタンスを持ったトランスを作ることができる。

多くの設計者が選択する対処方法は「アクティブ力率補償」である—これは本質的にはブリッジ整流器と蓄積コンデンサの間のスイッチ・モード・ブースト・コンバータである。この概要は Figure 6H に示してある。

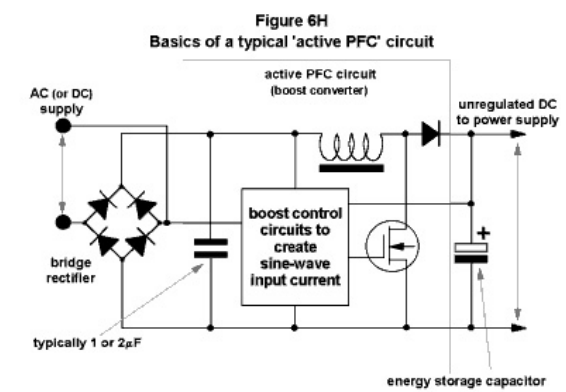


Figure 6H のような回路がすることは、全波整流電圧が蓄積コンデンサの電圧よりも低い場合にそれをブーストすることである。その電圧は、蓄積コンデンサへの電流がほぼ全波整流正弦波となるようにブーストされる。従って、蓄積コンデンサとアクティブ PFC 回路を合わせたものはブリッジ整流器からは抵抗性負荷のように見え、(ゼロを横切る点では整流器のために小さな不連続があるものの)その全体は AC 電源にとっては抵抗ようになる。ブースト回路は典型的には高周波 (数 MHz でさえも) で動作するのでフィルタ・コンデンサ (通常は $1\mu\text{F}$ 前後) はその高速スイッチング電流パルスをはほぼ整流正弦波に見えるように変換する必要がある。負荷電流が急激に変化した時には、電源電流の過渡高調波歪みが発生する。これが試験の不合格を引き起こすことを防止するために、アクティブ PFC 回路は主電源入力に 0.5 秒前後の時定数を持ち、これは変動負荷を設計する際に考慮に含める必要がある。

勿論、ブースト回路の使用は、抑制する必要がある高周波伝導性、及び放射性エミッションを発生する。スイッチ・モード電力コンバータのための EMC 設計テクニックの序論についてはこのシリーズの第 1 部を、フィルタの序論については第 3 部を参照されたい。通常、これらのブースト回路は何らかのフィルタやシールドが既に付けられているかも知れ

ない既存のスイッチ・モード電源に追加されるものの、それらは変更が必要となるであろう。

この種のアクティブ PFC 回路がリニア電源の 2 次側のブリッジ整流器と蓄積コンデンサの間に付けられないという理由はない。その電圧は通常は低くなり、それに応じてその電流は高くなる。伝統的なリニア電源の実際の動作や消費電流は常にリニアからはほど遠いので、そうすると「リニア電源」という用語はより適切となるであろう。

アクティブ PFC テクニックの欠点は、その追加されるコスト、重さ、及び体積、そして追加されるエミッションを含むが、すぐに必須となる整合エミッション規格への適合を助ける以外の多くの利点を持つ。それらの利点は、次のものを含む：

- ヒューズの付けられた電源から全定格電力を取り出す能力。非正弦波の「伝統的」なりニアやスイッチ・モード電源での電力は半分程度となるのと比較して、3kW 近くを消費する電子機器も、13A のヒューズが付けられた 240V の単相電源でうまく動くであろう。
- より広い電源電圧範囲での動作。アクティブ PFC ブースト回路は、より広い範囲の電源電圧を扱う電源の設計を助ける。通常のスイッチ・モード・レギュレータと組み合わせた場合、世界のどこ、DC ~ 400Hz の、85 ~ 264V のどの主電源電圧でも動作する電源の設計はより費用効果が良くなる。これは変種の必要性を低減し、在庫の圧力を緩和し、より早い注文への対応を可能とする。
- 波形への鈍感さ。一部の国、特に発展途上国では、ひどく歪んだ電源波形を持つことがある。「伝統的」な電源は波高率 (RMS に対するピークの比率) に敏感であり、歪んだ電源ではうまく動かない。アクティブ PFC はそのような状況への対処を助ける。

7. このシリーズのまとめ

上でカバーしたどの 1 つのトピックについても 1 冊の教科書を書くことができ、概略をさえ述べないままとなったいくつかのトピックに痛切に気付いている。それらの主題に対して与えた扱いに多くの専門家がたじろいだことに確信がある。多くの人々が有用なコメントや示唆を送って下さったことに、非常に感謝している。このシリーズの目的は EMC の非専門家を最も重要で広く用いられているベスト・プラクティス設計テクニックの様々な論点や要点に引き込むことであつたが、私はこれを達成できたことを望む。

EMC の背後にある理論の理解は設計者が予想外のこと (EMC がしばしばうまく共有できる以上のものとなるように見える) に対処することを助けるにもかかわらず、理論的なバックグラウンドは、それがあっても最小限とした。第5部で推奨した本がこの知識を得るために有用であることがわかるであろう。興味のある読者のためには、さらに多くの EMC の教科書やガイドがある。

このシリーズで解説したテクニックの多くは信号インテグリティを向上するためにも重要である。すなわち、それらは開発に際しての繰り返しの回数を低減し、製造コストを低減し、フィールドでの信頼性を向上し、そして低レベルの製品の返品や保証要求を享受するための、強力な対抗兵器でもある。それらは製造物責任規制の元での企業のリスクを低減するためにも助けとなるかも知れない。EU に EMC 指令が、また USA に FCC が存在しなかったとしても、これらの6個の論文で解説したテクニックは実際のエンジニアリングやそれがもたらす経済的収支のために依然として価値がある。

Copyright (C) 1999 Nutwood UK Ltd.

これは、Keith Armstrong 氏が UK EMC Journal 上で発表した文書を、その許諾を得て T. Sato が翻訳したものです。この翻訳については、原著者らはいかなる責任も持ちません。これについての意見、質問などは VEF00200@nifty.ne.jp (T.Sato) 宛にお送り下さい。

First published: March 12, 2000

Last update: May 2, 2001