

—EMC のための設計テクニック—

Part 5: PCB の設計とレイアウト

Eur Ing Keith Armstrong*, C.Eng MIEE MIEEE

翻訳: 佐藤智典**

これは、このジャーナルでこれから一年にわたって発表していく、電気 / 電子 / 機械ハードウェア設計におけるベスト・プラクティス EMC テクニックに関する 6 つの論文のシリーズの 5 番目のものである。このシリーズは、電源、シングル・ボード・コンピュータ、そしてモータ・ドライバなどのような「工業用コンポーネント」から、コンピュータ、オーディオ / ビデオ / TV、計測器などのようなスタンド・アロンの、あるいはネットワーク化された製品の設計者を想定したものである。

これらの 6 個の論文でカバーするテクニックは：

1. 回路設計 (デジタル、アナログ、スイッチ・モード、通信)、及び素子の選択
2. ケーブル、及びコネクタ
3. フィルタ、及びトランジェント・サプレッサ
4. シールド
5. PCB レイアウト (伝送線路を含む)
6. ESD、電気機械デバイス、及び力率補償

上のトピックのいずれについても 1 冊の教科書を書くことができる (そして多数書かれている) ので、このジャーナルの論文の形ではさまざまな論点を示し、ベスト・プラクティス・テクニックの最も重要な点を示す以上のことはできない。この論文で述べるテクニックの多くは、信号のインテグリティを向上させ、開発に際しての繰り返しを減らし、また製造コストを削減するためにも重要である。

このパートの目次

● 5. PCB レイアウト

－ 5.1 回路の分離

- * 5.1.1 外部世界と内部世界の境界
- * 5.1.2 内部世界での境界
- * 5.1.3 分離

- * 5.1.4 コンポーネントの配置とトラックの引き回し

－ 5.2 インターフェースの抑制

- * 5.2.1 外部世界と内部世界とのインターフェースの抑制
- * 5.2.2 ダーティーな / 高速な / ノイズな領域と、クリーンな / 敏感な / 静かな領域とのインターフェース
- * 5.2.3 インターフェース抑制テクニックの詳細

－ 5.3 基準プレーン

- * 5.3.1 適切な基準プレーンの作成
- * 5.3.2 シャーシへの 0V プレーンの接続
- * 5.3.3 プレーンのシールド効果
- * 5.3.4 複数の PCB のプレーンの相互接続
- * 5.3.5 分割すべきか、せざるべきか？
- * 5.3.6 電氣的に絶縁されたプレーン
- * 5.3.7 多層 PCB が高価過ぎると思われる場合には？

－ 5.4 電源のデカップリング

- * 5.4.1 電源デカップリング・テクニック
- * 5.4.2 自己共振問題
- * 5.4.3 電源プレーンを使わないデカップリング

－ 5.5 伝送線路

- * 5.5.1 レイヤの移動
- * 5.5.2 シミュレーションと試作試験
- * 5.5.3 伝送線路の製造について
- * 5.5.4 伝送線路の終端
- * 5.5.5 レイヤの割り当て
- * 5.5.6 分岐、スタブ、及びバッファ
- * 5.5.7 バックプレーン・システムの分離

－ 5.6 有用な資料

5. PCB レイアウト

これらの PCB レベルの設計テクニックは、FCC、VCCI、及び / もしくは EMC 指令などの「外部」

* Cherry Clough Consultants, Associate of EMC-UK

** URL: <http://member.nifty.ne.jp/tsato/>

の EMC 要求に適合するためのコストと労力を低減するために十分に立証されたものである。それらは「内部 EMC」—信号インテグリティはその一部である—も向上し、製品を市場に出すまでの設計の反復の回数を減らすことも助ける。電子技術の進歩（クロック速度の上昇、A/D コンバータの分解能の向上）に従って内部 EMC 問題が増加し、商業的な成功のためにはここで示す十分に立証されたテクニックがさらに重要となる。

ここで示す PCB テクニックは、それぞれが単独で達成できるものよりもはるかに大きい改善を与えるために、互いに影響し合っている。それらは、主に PCB の RF 結合メカニズムを改善し、全ての種類のアナログやデジタルの回路に、そして「内部」と「外部」の双方の EMC に関係する全ての高周波エミッションやイミュニティ事象に等しく適用される。

「何故」これらの手法が機能するかを理解することはその最大の利益を引き出すことを助けるが、ここではそれらのテクニックの概要を示すだけである—いくつかの優れた参考文献を最後に示しておく。

5.1 回路の分離

良い費用効果のためには、これは実際の設計プロセスの最初から考慮に入れる必要がある。何らかのシールドやフィルタのテクニックを物理的に適用する必要がある場所がわかるまでは PCB のレイアウトを始めるべきではなく、従って機構的な組み立てやコンポーネントの配置の概要は製品開発ライフサイクルの初期に定められるべきである。

以下の領域は最初に同定される：

- 外部世界：電磁環境の完全な制御は不可能。
- 内部世界：電磁環境の完全な制御が行なわれる部分。

5.1.1 外部世界と内部世界の境界

この境界線を引くことは難しいことがある。製品のエンクロージャの外に引き出された導体は明らかに完全な外部世界の電磁環境に曝されるが、製品のエンクロージャが適切にシールドされていなかったり、あるいは外部のケーブルが適切にフィルタ、及び/もしくは抑制されていなかったならば、製品の内部に残されたケーブルもそれらの事象の一部の影響を受けるかも知れない。例えば、関係のある全周波数範囲でエミッションとイミュニティの双方について十分なシールドを与える、全体を囲むエンクロージャとなるものがないならば、2つの PCB を接続するリボン・ケーブルやジャンパ線は外部世

界の高周波放射性 RF 環境から保護されないであろう。

製品内の全ての回路に単一の PCB を使うことは、通常は EMC 要求への適合のための最も費用効果の良い方法である。これは、その内部世界と外部世界との明らかな境界のため、単一の PCB の電磁環境を制御することは、いくつかの PCB と内部のワイヤやケーブルのそれを制御するよりも容易であるためである。多くの種類の電気製品は、単一の PCB を用いて（内部のワイヤやケーブルを使わずに）、かつここで説明するテクニックを用いて作られているならば、シールド・エンクロージャの必要性を回避することができる。これは材料と組み立ての双方のコストを節約し、またプラスチック・エンクロージャの設計に美観的な面ではるかに大きな自由を与えることができる。

5.1.2 内部世界での境界

内部世界の回路が決まったならば、それはさらにダーティーな、高速な、ノイジーな（等々）、潜在的に「侵略的」な回路と、クリーンな、敏感な、静かな（等々）、潜在的な「被害者」の回路とに分類されるべきである。回路ノードが侵略的となる可能性は、その最大の dV/dt 、及び/もしくは dI/dt に依存している。回路ノードが電磁的事象の被害者となる可能性は、その信号レベルやノイズ・マージンに依存（これが低ければ、より敏感になる）している。

5.1.3 分離

内部世界の様々な領域は、互いに、そして外部世界から、機構的、及び電氣的の双方について物理的に分離されているべきである。初期設計フェーズの始めに、通常は回路の分離された部分を含む領域の周囲に点線を引くことによって、分離された領域を全ての図面で明確に示す。

この分離が、システム設計、PCB レイアウト、配線ハーネス設計、機構的パッケージングなどを含む、それ以降の設計プロセスで維持されていることを確認する。全てのシステム構成図、配線図、及び回路図で分離を明確に示すことは、電子設計者、機構設計者、そして PCB レイアウト要員との間のコミュニケーションの大きな助けとなる—そして、これは作業が異なったサイトの人々や下請けによって行なわれる場合には特に重要である。

大半の設計は二次元で行なわれる。最終的な組み立てに際して、それに伴う信号品質問題と共に、極めて敏感な回路（熱電対やマイクロフォンのアンプのような）の載った PCB がノイジーな回路（スイッ

チ・モード電力コンバータのような) に近すぎることに気付くことは珍しいことではない。そのような不愉快で時間を浪費する三次元的な組み立ての問題は、最初から、回路が設計されて PCB レイアウトが行なわれる前でさえも、最終的な組み立てを詳細に視覚化することによって回避すべきである。

Figure 5A Example of circuit segregation for a single-PCB product

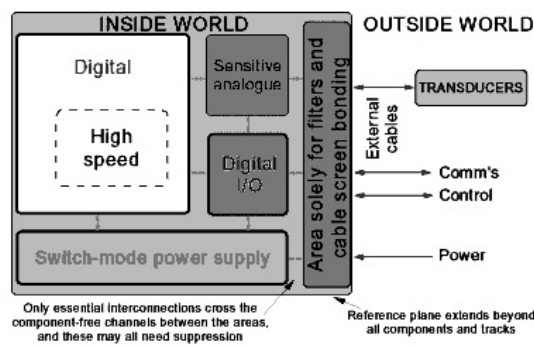


Figure 5A は、それが全体のエンクロージャ・シールドを持つかどうかに関わらず、単一 PCB 製品に適用される、良い分離のプラクティスを示す。この例は、外部世界インターフェース抑制コンポーネントが取り付けられた分離された領域が、それがあたかも外部世界と内部世界のあいだの壁であるかのように (ある意味ではそうである)、PCB の一辺に沿っていることを示している。

この領域は、光絶縁素子、絶縁トランス、バルン、フィルタ、トランジェント・アブソーバ、あるいは類似のインターフェース・コンポーネントのみを含み、IC は含まないであろう。それは、何らかのシールド・ケーブルの遮蔽、及び / もしくはエンクロージャ・シールドのための接続点も含むであろう。もしこの例の PCB が大きなアセンブリの一部であったとしても、最良の EMC のために用いられる分離テクニックは全く同じものとなるだろう。

内部世界と外部世界とのインターフェース・コンポーネントは、全ての不要な外部電流 (例えば、保護接地の電位差によって引き起こされる) が PCB のその領域に限定されるようにし、回路領域を通して流れることを妨げるために、PCB の専用の一辺に限定される。

有効なエンクロージャ・シールドが存在する場合には、内部世界と外部世界の境界はそのエンクロージャのシールドされた壁となる。そして、関連するフィルタや抑制のためのコンポーネントとケーブル遮蔽接続は全て、(第 4 部で議論したように) そのエンクロージャの壁に取り付けられたコネクタ・パネルをその基準として用いなければならない。全ての相互接続のための単一の領域も依然として最良である。今では、金属パネルに接続することもできる、遮蔽され、かつ / もしくはフィルタされた、様々な

PCB 実装型のコネクタを入手できる。これらの部品は PCB の基準プレーンに半田付けされ、最終的な組み立てに際して遮蔽エンクロージャの壁への金属と金属での電氣的な接続が行なわれるが、これは極めて費用効果の良いものとなり得る。

PCB 上のそれぞれの分離された回路領域のあいだに、コンポーネントのない狭い隙間を残しておくべきである。これは PCB 実装型の「チューナー・ケース」シールドを取り付けられる程度に広いべきであり、(少なくとも試作の基板においては) そのような遮蔽ケースを全てのエッジに沿って細かい間隔 (例えば 15mm ごと) で 0V プレーンに接続することを想定しておくべきである。

5.1.4 コンポーネントの配置とトラックの引き回し

それぞれの領域にある大半のノイズ源、あるいは敏感なコンポーネントは、その領域の中央付近に、ケーブルやワイヤからできる限り離すようにして、最初に配置すべきである。そのようなコンポーネントには次のようなものが含まれる: クロックの生成や分配 (極度にノイズ); バスに接続されたデジタル IC (非常にノイズ); マイクロ・コントローラ (ノイズ); スイッチ・モード電源のパワー・トランジスタ、整流器、チョーク、トランス、そして放熱器 (全て非常にノイズ); アナログ IC (敏感); そしてミリボルト・レベルの信号の増幅器 (非常に敏感)。低周波オペアンプでさえも、1GHz を超える干渉に対しても極度に敏感となり得る (第 1 部) ことを思い出して欲しい。

コンポーネントから基準プレーンへの極めて短い接続の後で、デジタル・クロック分配 (非常に侵略的な信号) を次に引き回す「ネット」としなければならず、これは 0V プレーンに隣接した単一の PCB レイヤを走らせなければならない。これらのトラックは可能な限り短くしなければならず、そうしてさえも伝送線路テクニック (以下で議論する) を必要とするかも知れない。最小のトラック長を達成するためには、コンポーネントの配置の試行を行なうことが必要となるかも知れない。スキューを最小限にするためにクロックのトラックを必要よりも長くする場合には、「蛇行」パターンが最良である。

次に、クロックのトラックやプレーン接続と干渉する箇所のみを迂回しながら、クロック・トラックと同様の方法でデジタル・バスや高速 I/O の引き回しを行なうべきである。それらは常に PCB の別の分離領域にあるであろうが、トランスジューサのミリボルト信号を運ぶもののような非常に敏感なトラックも、それがクロックやデータ・バスのトラックであるかのように引き回すべきである。この後の伝送線路に関する章は、クリティカルなトラックが

レイヤを移らなければならない時にすべきことを説明している。

それ以外の全てのアナログ、デジタル、及び電力の信号も、それがどの程度侵略的であるか、あるいは敏感であるかに応じて引き回すべきである。その特性が回路分析からは明白ではない場合には、どれが最も侵略的であるかは電圧プローブや電流プローブとともに高帯域オシロスコープ（及び／もしくはスペクトラム・アナライザ）を用いて試作品をプローブすることによって、どれが最も敏感であるかは高帯域スイープ・ジェネレータから電圧や電流を注入することによって明らかにできるであろう。対象の回路の敏感であるかも知れない領域に外部の装置を接続することなくトラックに信号を注入できることから、ここではループ・プローブが最も有用なものとなり得る。

全てのコンポーネントとそのトラックは、それに割り当てられた PCB 領域に収まっていなければならない。領域に出入りする唯一のトラックは、他の領域に接続しなければならないものだけである。製品内部の全てのワイヤとケーブルを除去できることが確実にできれば、それが誤った PCB 領域に迷い込まないようにその経路が固定されていることを確認すること。

PCB の製造の前に、分離の指示が守られているかどうかをドラフトの PCB レイアウト上で確認することが最良である。簡単なチェックは、回路図上で分離された領域を示す点線を横切るトラックやその他の導体を数えることである——これはドラフトの PCB レイアウト上で領域のあいだの隙間を横切るものと正確に同じ数となるべきである。PCB が自動配線された場合には、領域の境界を横切る余計なトラックを見付けることが普通である——これはしばしばさらなる設計上の心痛の原因となるので、トラックのレイアウトにさらなるスキルを適用して直ちにそれらを除去する。自動配線は通常は EMC のための良いレイアウトを与えない。

5.2 インターフェースの抑制

電磁妨害は、分離された領域間のインターフェースを横切って放射され、かつ／あるいは伝導し、これを許容できるレベルに抑えるためにシールド、フィルタ、あるいは絶縁テクニック（光結合のような）が用いられる。それぞれのインターフェースのための最も費用効果の良い手法を決定するためには、それを動作させる電磁環境と対象の回路のエミッション／イミュニティ特性に基づいて、起こり得る全ての電磁的事象についての検討を行なうべきである。領域間のインターフェースを検討する際に、内部電源や、0V やグラウンドなどのその他の共通の接続を無視しないこと。たとえそれが送出経路と同程度に重要な電流還流経路を提供するとしても、回路設計者は回路図上ではそのような接続を省略し、しばしば見えなくしてしまう。

5.2.1 外部世界と内部世界とのインターフェースの抑制

外部から内部世界に入り込む導体は、全ての範囲の抑制テクニックを必要とするかも知れない——フィルタ、絶縁トランス、光絶縁、サージ防護素子など。上で述べたように、ベスト・プラクティスは、全ての外部／内部世界相互接続とその抑制に、エンクロージャ・シールド内の単一の PCB 領域やパネルを用いることである。

表示素子（LCD、LED、VDU、可動コイル型メータなど）や操作用部品（押ボタン、ポテンショメータ、回転ノブなど）も外部世界と内部世界とのインターフェースとなり、特にこのシリーズの第 6 部でカバーする人体静電気放電（ESD）に曝される。

シールド（第 4 部を見よ）は、PCB 上のチップや領域、PCB 全体、PCB のサブ・アセンブリ、PCB 全てのアセンブリ、あるいは製品全体（コストと難しさが低いものから示している）に適用することができる。上で解説した分離手法は、低コストのシールドを可能とすることを助ける。

5.2.2 ダーティーな／高速な／ノイジーな領域と、クリーンな／敏感な／静かな領域とのインターフェース

異なった PCB 領域を相互接続するトラックやその他の導体に適用する抑制の種類や程度を決定するためには、それが運ぶ可能性のある必要な信号と不要なノイズの双方に加え、それが接続される回路の感受性を調べる必要がある。

デジタル・クロックやデータ・バスはノイジーで侵略的であり、クリーンな／敏感な／静かな PCB 領域への侵入を許すべきではない。敏感な領域のためのデータはその領域の境界よりも近くない箇所ですバスからラッチすべきであり、そのデータ・バスそのものはよりノイジーな領域に制限すべきである。

電力分配ネットワークは、「スタティック」なデータ線やその他の低周波信号と同様、1つの分離領域から他への見落とされ勝ちな伝導性ノイズの経路である。長時間 1、もしくは 0 の論理状態に保たれるデジタル制御線は静かであるものと考えられることがあるが、それらは通常は信号源の IC の電気的な動作によって発生する数十ミリボルトの、あるいは数百ミリボルトにも達する高周波ノイズ（例えば「グラウンド・バウンス」やそれに対応する「電源バウンス」による）を含んでいる。アナログ回路の多くは、スイッチ・モード電源や DC/DC コンバータ、あるいは同一のレールを共有するデジタル回路からのその電源レール上のノイズ、また「スタティック」なロジック制御信号からアナログ・スイッチや

オペアンプに注入されたノイズの影響を受ける。しばしばそのような領域間接続に小さいフィルタを付けることが必要となるが、光絶縁などのさらに徹底的な対策が必要となることもある。

A/D コンバータ、トランス、データ・バス・ラッチ、フィルタ、絶縁素子などのような、分離領域間をインターフェースするコンポーネントは、それが接続する2つの領域が共有する辺に置くべきである。それらは通常はいずれかの領域に完全に残されるべき（コンポーネントのない隙間を維持するために）であり、そのトラックはそれぞれの領域に直接引き込まなければならず、それらのコンポーネントの「反対側」や他の領域に関係するトラックと交差してはならない。コンポーネントのない隙間を維持する目的は、それが必要な場合に、回路の分離領域を覆うシールドの取り付けを容易にすることである。フェライト・ビーズ、コモン・モード・チョーク、あるいは光絶縁素子などのようなインターフェース・コンポーネントをこの隙間の1つの上に配置することはそれぞれの回路領域に関係するトラックの良好な分離の達成を容易にするが、PCB に取り付けられるシールドに必要な切り欠きがシールド効率を損なうことがある。トラックの良好な分離とシールド効率とのあいだの妥協は、分離領域間の相互接続として「貫通」フィルタ・コンポーネントが取り付けられる場合には当てはまらない。これは遮蔽エンクロージャの壁の中に取り付けられて実際にそれを貫通するように設計されており、（これがなければコンポーネントもトラックもない隙間に）取り付けられた場合には良好なトラック分離を促進し、かつシールド効率を損なわない。伝統的には、貫通フィルタは、その端に線を接続して、シールドの穴にねじ込まれ、あるいは半田付けされる。これは自動表面実装組み立てテクニックには適していないが、いくつかの製造業者は「SMD 貫通フィルタ」を推奨している。これは通常はその中央付近に（一部の種類のものはシールドの切り欠きに手で半田付けすることもできるものの）PCB の基準プレーンに半田付けするための接地電極を持つ。一般に、これらの部品の小さい低背型のものはそれが貫通するシールドに非常に小さい切り欠きのみを必要とすることを意味し、シールド効率に与える影響が小さいことを期待できるかも知れない。SMD の「貫通」が用いられる場合には、関係するシールドがその SMD の貫通のできる限り近くで、可能な限り頻繁に PCB の基準プレーンに半田付けされているならば、その性能は改善されるであろう。非常に厳しい用途では PCB シールドをその周囲の全周で半田付けすることが必要となることもあり、そのような組み立ては、おそらくより伝統的な貫通デバイスを使うことを必要とするであろう。

分離領域間での放射干渉も起こり得る。コンポーネント間の浮遊容量は 1pF 以下に過ぎないかも知れ

ないが、高周波においては隣接する領域のコンポーネントやトラックに顕著な変位電流を注入することがある。小型の低背型のコンポーネントを PCB の基準プレーンと組み合わせ、最もノイズーなデバイス（例えばクロック、プロセッサ、スイッチ・モード・パワー・デバイス）と信号をその領域の中央に配置することは、PCB 領域を互いにシールドする必要な回避を助けることができる。

5.2.3 インターフェース抑制テクニックの詳細

抑制テクニックには以下のものが含まれる：

- コモン・モード、及びノもしくはディファレンシャル・モードのフィルタ
- 光絶縁素子やトランスを用いた電氣的絶縁
- 通信プロトコル（干渉が存在する場合のビット誤り率を改善する）
- サージ防護デバイス
- 平衡駆動ノ受信信号の使用（「シングル・エンド」の代わりに）
- 銅のケーブルの代わりに、光ファイバー、赤外線、無線、レーザー、あるいはマイクロ波の使用
- 領域、空間、ケーブル、及びコネクタのシールド

これら全ては、このシリーズの他のパートでカバーされている。PCB 上では、プレーン（次に説明する）のみが、フィルタ、ケーブル遮蔽、そして内部シールドが PCB 上で高周波において完全な性能を達成するために十分に良い基準を与えられることに気付くことは重要である。

5.3 基準プレーン

その固有リアクタンスと共振のため、トラック、ワイヤ、「スター接地」、ベタ、ガード・リングなどは、低周波（大抵は 1MHz 以下）以外においては PCB のための適切な基準を与えることはできない。例えば、PCB トラックそのものや単一のワイヤのインダクタンスのための親指の法則は、 1nH/mm である。これは、10mm の PCB トラックでさえも、100MHz で 6.3Ω の、1GHz で 63Ω のインピーダンスを持つことを意味する。この理由から、金属導体の連続した領域のみが 1GHz まで（そしてそれ以上で）適切な基準を提供することができ、これは基準プレーンと呼ばれる。PCB においては、これらは通常は電源プレーン、グランド・プレーン、あるいは 0V プレーンと呼ばれるが、EMC や回路に関

係しての「グランド」や「アース」という単語の使用は避けることが最良（それらを安全接続に関連した特定の用法のために取っておく）である。大半の EMC 設計テクニックが考慮されている限り、緑／黄の保護接地導体への接続は、しばしば解決ではなくさらなる問題の原因となることがある。

基準プレーン・テクニックは、ここで説明した他のテクニックとともに用いた場合には、不要な電磁結合全ての劇的な低減を可能とする。基準プレーンは、他の EMC のための PCB 設計テクニックのほぼ全てのものが適切に機能するようにするためにも不可欠である。

5.3.1 適切な基準プレーンの作成

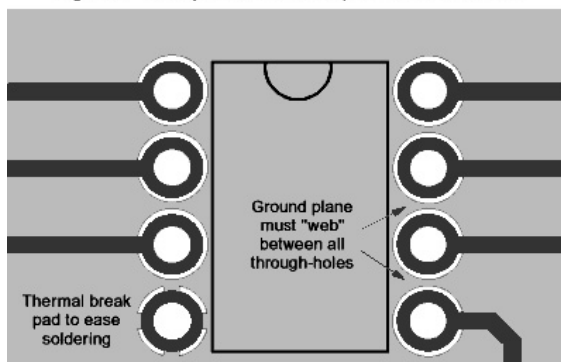
高品質の高周波基準は零に近いほど小さい部分インダクタンスを持たねばならず、これは PCB 上では 1 つのレイヤを基準プレーンと呼ばれる連続した銅のシートに割り当てることによって作成できる。0V 基準プレーンは、全ての 0V 還流電流がトラックではなくそのプレーンを流れるように、全ての関係する回路の 0V（あるいは「グランド」）接続として用いられるであろう。電源プレーンは、電源接続とその還流電流のために同様の方法で作成され、また使用される。

0V 基準プレーンは全てのコンポーネントやそれに関係する全てのトラックの下に存在し、またそれを超えて有意な距離広がっていないなければならない。いくつかの回路領域のために共通の 0V プレーンを用いる場合であっても、依然として上で説明した分離とインターフェース抑制のテクニックに従わなければならない。

リード、ピン、あるいはビア・ホールなどの穴はプレーンのインダクタンスを高くし、その高周波における効果を低くする。基準プレーンに穴を開けずに配線レイヤ間の接続を行なえる「ブライド・ビア（埋め込みビア）」テクニックが携帯電話のために開発されている。それほど要求の厳しくない製品のための親指の法則は、いかなるギャップも関係する最大周波数において 0.01λ 以下の寸法を持たねばならないというものである。1GHz で良いプレーン（例えば、大半の EU 整合 EMC 規格への良い費用効果での適合を助けるため）のためには、この規則はプレーンのギャップが 1.5mm 以下の寸法（FR4 の伝搬速度は空気中のその半分程度になることを思い出されたい）を持つべきであることを示唆する。プレーンに「忍び込む」トラックは許されない。プレーン上の避けられないギャップは、より大きなものを作るように併合されてはならない。PCB 設計規則は、DIL パッケージ（DIP）などの通常の穴間隔に対して、Figure 5B に示すようにプレーンが穴

の周りに「網を張る」ようにクリアランスの大きさを定めるべきである。

Figure 5B Example of a webbed 0V plane under a leaded IC



信号レイヤ上で基準の一部を形成するトラック、ベタ、ガード・リングなどは、高周波での良い効果のために用いることができる——しかし、それは少なくとも 5~15mm ごとに（ランダムな間隔の配置を用いて）下の 0V プレーンに接続されている場合だけである。

0V プレーンは全てのコンポーネント、トラック、及び電源プレーンを充分に超えて広がるべきである。[1] は「20H 規則」を推奨している：0V プレーンは少なくともレイヤ間の厚みの 20 倍は広がるべきである。高速コンポーネント（デジタル・クロック、プロセッサ、メモリなどのような）とその信号トラックは、常にその分離領域の中央付近に、プレーンの縁から充分に離して配置すべきである。

全ての 0V や電源の接続は、接続インダクタンスを最小にするために対応するプレーンに直接接続しなければならない。リード付きコンポーネントは、Figure 5B に示すような半田付けを助けるための熱拡散防止パッド（馬車の車輪と呼ばれることもある）を用いてプレーンに直接接続する貫通穴を持たなければならない。リフロー半田付けのための表面実装素子（SMD）は、ドライ・ジョイントや「ツーム・ストーン（マンハッタン）現象」の防止と、プレーン接続のインダクタンスを最小とする必要との間での妥協を行なわなければならない。

Figure 5C A comparison of the partial inductances of various plane connection methods for SMDs

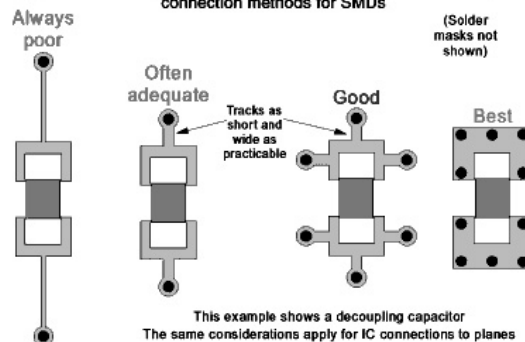


Figure 5C はリフロー半田付けされた SMD をプレーンに接続する様々な手法を示している。最良の

方法は、多数のプレーン・ビアをソルダー・レジストで覆った大きいパッドを使うことである。半田付けする必要がないプレーン接続（リフロー半田付けされる SMD コンポーネントのためのビアでは普通の）では熱拡散防止パッドを使う必要はないかも知れない—そして、その代わりにソリッドなプレーン接続を用いることは、インダクタンスを低減するであろう。

部分インダクタンスを最小にし、また PCB レベルのシールドの取り付けを容易にするために、基準プレーンを長方形（ただし狭くないこと）にすることが最良である。共振によって起こり得る問題を低減するため、正方形のプレーンや、1:2 のような単純な縦横比のプレーンは避けるべきである。多数の異なった電源がある場合、多数の異なった電源プレーンが必要となるかも知れない。回路領域の分離（上を見よ）は、いくつかの広い長方形の電源プレーンを同一のレイヤに入れることを容易にする。

5.3.2 シャーシへの 0V プレーンの接続

コンポーネントやトラックは、他のもの全てとの弱い容量性結合を持っている。電気的動作は、それらの「浮遊」容量にコモン・モード・エミッションの原因である変位電流を流させる。これによって引き起こされるエミッション問題を低減するために、高速回路は通常は少なくとも近接した金属面を、そして（さらには）完全にシールドされたエンクロージャを必要とする。その金属シャーシやシールドは PCB の基準プレーンに接続する必要がある、これは高周波変位電流がその波長の数分の 1 の距離で信号源に還流できるように PCB 全体に分布した多数の点で行なうことが望ましい。しばしば PCB の機構的な保持や固定がシャーシへの接続に用いられるが、これは非常に短くすべきである（< 4mm）。それぞれの高速回路、特にクロック生成 / 分配回路の領域の中央に、少なくとも 1 つの接続があるべきである。高速デジタル基板においては、PCB 全体にわたって 50 ~ 100mm ごとに 0V プレーンとシャーシを接続してもやり過ぎではなく、（少なくとも）試作の PCB においてはこれを想定しておくべきである。金属のシャーシやシールド・エンクロージャを使うつもりがない場合であっても、念のために多数の潜在的なシャーシ接続点を含めておくことは依然として良いアイデアである。それを正しい箇所接続できる場合には、アルミニウム・コーティングした一枚の厚紙や PVC の板が、望ましくない問題への対策として十分なものとなることもある。

特にアナログ / デジタル混載 PCB においては、自由度を加えるために、それぞれのプレーン シャーシ間接続は、それを開放のままとし、あるいは直結

したり様々な種類や値のコンデンサを付けたりできるように、トラックとパッドを持つこともできる。1 つのシャーシ接続を直結としてそれ以外のものにコンデンサを付けることは、高周波を広範囲に分布した容量性接続の低いインダクタンスによって管理しながら、低周波（インダクタンスが重要とならない範囲）を「スター接地」システムとして管理できるようにする。これらのトラック、パッド、及び接続コンポーネント（SMD が望ましい）全てのインダクタンスを最小にするように注意すべきである。基準プレーンが電氣的に絶縁されていなければならない場合にはコンデンサによる接続のみが用いられるかも知れないが、安全認証と接地漏洩要求（特に患者に接続される医療用機器における）に注意すべきである。

5.3.3 プレーンのシールド効果

金属プレーンの近くに置かれたアンテナは、放射や受信の効率が低くなる。プレーンの利点の多くは還流電流が最小のインダクタンスの経路を取れるようにすることによるものであるが、その「アンテナ・シールド」効果も重要である。この効果による顕著な利点を達成するためには、全ての PCB コンポーネントの先端は、エミッションやイミュニティに係する最高の周波数における波長の $1/20$ 以上—例えば 1GHz イミュニティ試験に曝されるアナログ回路にある程度のシールドを与えるためには 15mm—PCB プレーンから離れていてはならない

より背の低いものは向上したシールドを与え、これが SMD コンポーネントを EMC のために特に推奨する理由の 1 つであり、極めて背の低いボール・グリッド・アレイやフリップ・チップ技術はさらに良い。プレーンはコンポーネントの高さよりもかなり大きい距離、コンポーネントの周囲に広がっている必要がある。

5.3.4 複数の PCB のプレーンの相互接続

カード・ケ - ジ、バックプレーン、そしてマザー / ドーターボード構造は、それらの基準プレーンを極めて低いインダクタンスで互いに接続することによって、信号インテグリティや EMC におけるかなりの利益を経験するであろう。これは、その共通の境界全ての全長にわたってある程度均等に分布した、それらのプレーンの間の多数の低インダクタンス接続によって達成することができる。幸い、シールドされたバックプレーン・コネクタが普通に入手できるようになってきている。シールドされたコネクタを使用しない場合、コネクタのそれぞれの信号や電源ピンの隣に 1 つの 0V プレーン接続ピンを用いることは高くつくように見えるかも知れないもの

の、これは複数の PCB から成る製品の EMC を改善するための最低のコストの (あるいは唯一の現実的な) 方法となることがある。プレーンをフロント・パネル、及びノもしくはカード・ガイドを介して接続することも、非常に価値がある。

5.3.5 分割すべきか、せざるべきか？

分割された基準プレーンは、分割されていないプレーンよりも良い、あるいは悪い EMC (そして信号インテグリティ) を与えることがあり、これは PCB レイアウトや回路設計に大きく依存するので、いずれの手法を用いるべきかを決めることはしばしば困難である。0V プレーンをメインの 0V プレーンから分離する場合、既に述べたようなシャーシ接続が依然として必要となるかも知れないことに注意されたい。これは、PCB 上のコネクタ領域がエングロージャ・シールドに接続された局所的な 0V プレーンを持たねばならない、コネクタ・パネルの 0V プレーン領域を分離する「伝統的」な手法 (メイン・ボードのノイズが外部コネクタを介して出ていくことを止めようとしての) において特に真実である。また、いずれにしても、500MHz 以上では分割を横切った不可避な浮遊容量がそれを徐々に「短絡」することにも注意せよ。

現代的な電子技術においてプレーンの分割によって何らかの利益を得るためには詳細にわたる細心の注意が必要となり、これが今ではより多くの設計者が共通の分割されていない 0V プレーンを当然のように使っている 1 つの理由である。

分割するかしないかの選択を可能とするために、少なくとも試作の PCB 上では、全てのプレーンを分離回路領域間の自然な境界で分割するが、後で手で「縫い合わせる」ための手段も用意しておく。縫い合わせのためには、分割のそれぞれの側に 10mm 程度ごと (5~15mm のランダムな間隔が望ましい) にビア・ホールペアを必要とする。これらのビア・ペアは開放のままとされるか、あるいは短いワイヤやコンデンサでブリッジされる。小さいコンデンサや「ゼロ・オーム抵抗」(できれば SMD の) が使えるようにビア・ペアの間隔を近くしておくことが重要である。プレーンを 1 つの銅での接続と複数のコンデンサで接続することは、単一の低インダクタンス・プレーンの効果を作ることによって高周波を管理しながら、低周波 (インダクタンスが重要とならない範囲) を「スター接地」によって管理できるようにする。

プレーン内の分割線はスロット・アンテナであるので、トラックが分割線を横切らない (あるいは近くを通りさえしない) ことが最良である。トラックが横切らなければならない場合には、それは慎重に定

められた還流経路を持たなければならず、高周波電流のためにはこの経路はその送出トラックに物理的に近接していなければならない。これらは分割の目的を崩す傾向があり、従って必要な信号の帯域 (これは、上のインターフェース分析と抑制の章で述べたように、既に必要なものだけに制限されているべきである) に制限するべきである。内容の変化が大きいある種のデータ・ストリームは単一のコンデンサが容易に与えられるものよりも高帯域の還流経路 (直結を含む) を必要とするかも知れないものの、通常は高速信号は適当な大きさと種類のコンデンサを通して還流させられる。

平衡信号は理想的には局所的還流経路を必要としないであろうが、実際にはその平衡は常にある周波数では悪化するので、それによって生じるコモン・モードの「漏洩」のために近接した還流経路 (通常は小容量のコンデンサ) が必要となる。全ての高周波ノイズを除去するようにフィルタされた直流電源や低周波信号は、それによって作られる電流ループのインダクタンスが無視できる限り、その還流のために分割された 0V のスター・ポイントを用いることができる。その信号名が暗示しているという理由だけからその導体が低周波のみを運ぶと仮定しないように用心すること。現代的なデジタル/アナログ混載製品においては、製品内の全てのトラックやその他の導体は大抵は相当のレベルの高周波ノイズを運んでいる。低周波信号のための局所還流経路はフェライト・ビーズであっても良い。

どのような種類の信号とそれに対応する還流経路に取り付けられたコモン・モード (CM) チョーク (例えば 3 本の関係する信号とその還流経路の組のための 4 回路 CM チョーク) も、おそらく分割プレーンから最良の性能を得ることを助けるであろうが、よりコストを要する。上の全てが分割プレーン PCB の設計に組み入れられたならば、試験と最適化が必要となるであろう。「縫い合わせ用ビア」の直結、あるいはコンデンサでの接続は、最良の EMC 性能を達成するように追加/除去されるべきである。もし全ての縫い合わせ点を直結した際に最良の EMC 性能が達成されることがわかったならば、次の PCB では分割と縫い合わせ点を完全に取り除き、製造コストを抑えることができる。

5.3.6 電氣的に絶縁されたプレーン

上で説明した分割プレーンは全て、結局は同一の電源ルール (少なくとも 0V) から給電されているので、あるプレーン領域から他へと横切る全ての導体 (信号や電源) のための還流電流経路に対する明らかな必要性がある。しばしば電氣的に絶縁された領域は還流電流のための要求を持たないと仮定されるが、これは高周波においてはそうではない。

電氣的絶縁デバイス（光絶縁素子、トランスなど）は浮遊内部容量の影響を受ける。ある典型的なフォトカプラは 0.8pF の内部容量を持ち、これは 100MHz では $2\text{k}\Omega$ 、 1GHz では 200Ω に過ぎない分流入ピーダンスを与え、これは明らかに高周波での信号の絶縁の維持を妨げるであろう。トランス（特に DC/DC 電力コンバータ内の）はさらに大きな浮遊内部容量を持つ傾向がある。高周波での絶縁を改善するためにコモン・モード・チョークが用いられるかも知れないが、 1GHz で大幅に向上させるためには苦勞する。その他にも、絶縁を損なう多くの浮遊容量がある。従って、高周波においては、それらがコモン・モードの伝導性や放射性のエミッションやイミュニティの問題を引き起こすことを防止するために、それらの浮遊容量を流れる変移電流のための局所還流経路を用意する必要がある。

大抵は低周波（通常は 50Hz のみ）のためにのみ絶縁を必要とするので、高周波のために単一の基準プレーンの効果を達成して浮遊変移電流のための低インダクタンスの局所還流経路を与えるために、電氣的に絶縁されたプレーンを多数の小容量のコンデンサ（ギャップの周囲にばらまかれた）でメインの基準プレーンに接続することができる。

勿論、安全に関係する箇所では、コンポーネントの認証と漏洩電流に十分に注意する必要があるかも知れない。

5.3.7 多層 PCB が高価過ぎると思われる場合には？

今では、量産では 4 層 PCB は 2 層のものよりも 20% ~ 50% 高くなるだけである。思い返すと、特に製品の総合的な費用回収期間や収益性を考慮した時、大抵はプレーンの使用が使用可能な最も費用効果の良い EMC テクニックとなっている。

低密度両面 PCB のための適切なテクニックは、全てのトラックを片面に、ソリッドの 0V プレーンをその反対側に置くことである。デジタル製品においては電源プレーンの欠如は電源レールに多数のフェライト・ビーズを必要とするかも知れない（以下を見よ）ので、これは最も費用効果が良いものとなるとは限らない。

トラックが両面 PCB の両面を使わなければならない場合には、0V トラックを「格子」接続することによってある程度の EMC の改善が得られるかも知れない。これは、互いに直角の方向に引かれ、PCB 全域にわたる格子を作るために水平と垂直の 0V 領域や線が交差する箇所をピア・ホールで互いに「縫い合わせ」られた PCB の両面の 0V トラックで、「最大の銅箔」、あるいは「ベタ」を用いることによって行なえる。より敏感な、あるいは侵略

的なコンポーネントの周囲ではより小さい格子面積が必要となり、これはしばしばリード付きマイクロプロセッサで達成することは難しいが SMD 型のもものでは容易なものとなる。最良の格子構造を達成するためにコンポーネントやトラックを動かすための時間を許すべきであるが、いかなる格子も完全なソリッドのプレーンよりも常にかなり効果の低いものとなるであろう。

片面 PCB は、そもそも非常に低いエミッション（低い dV/dt と dI/dt ）と非常に高いイミュニティ（例えば高い信号レベルと低いインピーダンス）を持っている回路を除いては、エンクロージャ・シールドやフィルタを使わずに EMC 適合とすることは極めて難しい。

5.4 電源のデカップリング

電源デカップリングの目標は、それぞれの IC への電源インピーダンスを、関係する全周波数範囲（EMC のためには少なくとも $150\text{kHz} \sim 1\text{GHz}$ ）にわたって 1Ω 以下に維持することである。ある種のデバイスは正しい動作のためにある周波数範囲で 0.1Ω 以下を必要とするかも知れない。ワイヤや PCB トラックはこの低いインピーダンスを与えるためには高すぎるインダクタンスを持ち、適切な品質の局所的なコンデンサを必要とする。

5.4.1 電源デカップリング・テクニック

大きなデカップリング・コンデンサ（例えば $100\mu\text{F}$ ）を電源が PCB に出入りする箇所に取り付けるべきであり、またいくつかの小さいもの（例えば $10\mu\text{F}$ のタンタルや固体アルミニウム）を、マイクロプロセッサ、メモリ、そしてその他の強力なデジタル IC などの電力消費の激しいものの近くに置くとともに、「単位面積当たり μF 」の原則に従って PCB 全体に「ばらまく」べきである。これらのコンデンサは、例えば 10MHz 程度まで低インピーダンスを与える。次に、それぞれの IC への電源は、適切な大きさと種類のコンデンサを用いて、非常に近くでデカップルすべきである。IC が複数の電源ピンを持つ場合には、例えそれらが同一の電源（例えば Vdd）であるとしても、それぞれのピンはその近くに適切なデカップリング・コンデンサを持つべきである。

コンポーネントのリード、PCB トラック、ピア・ホール、そしてコンデンサの自己インダクタンスが必然的にその性能を制限するので、 10MHz 以上で良好なデカップリングを達成することは、周波数が高くなるに従ってより困難となる。IC の電源ピンの近くに取り付けられたコンデンサを用いたより高い

周波数での良好な電源デカップリングの達成は次に議論する。

必要とされる局所デカップリング・コンデンサの総容量は、IC の過渡電源電流や、その直流電源レールに対する許容度に依存する。VLSI や RAM の製造業者は彼らの製品におけるこの値を（そして、おそらくはコンデンサの種類と推奨されるレイアウト・パターンをも）規定できるべきであるが、おそらく彼らは正確な 5V 電源 — 現実の世界は通常はそうではない — を仮定しているであろうことに注意すべきである

単位 F、V、A、及び sec を用いた、式 $C \times \Delta V = I \times \Delta t$ は、我々が知りたいことをカバーしている。 ΔV は IC の最小動作電圧（そのデータ・シートから）を最悪条件での最小電源レール電圧（初期許容差、安定度、温度係数、経時変化、そして電源導体での電圧降下を考慮して）から引くことによって得られる。 ΔV はしばしば +100mV に過ぎないものとなる。I は IC がその電源レールに要求する、 Δt 以内の時間の過渡電流である。I と Δt は滅多にデータ・シートには見付からないので、オシロスコープを用いた適当な検出方法で測定しなければならない。I の明らかな成分の一つはそのデバイスの出力（負荷）電流であるが、これはしばしば「過渡電源電流」としても知られている「貫通」電流と比較して無視できるものとなる。I や Δt を $\pm 20\%$ 以上の精度で測定する意味はない。

ΔV が低い場合には、高周波性能の良くない大きなコンデンサを付けるよりも、電源のレギュレーションの改善、及び / もしくは電源レールの抵抗を下げることによってそれを増やした方が費用効果が良いかも知れない。これは局所電源レギュレーションの共通の論拠である。

5.4.2 自己共振問題

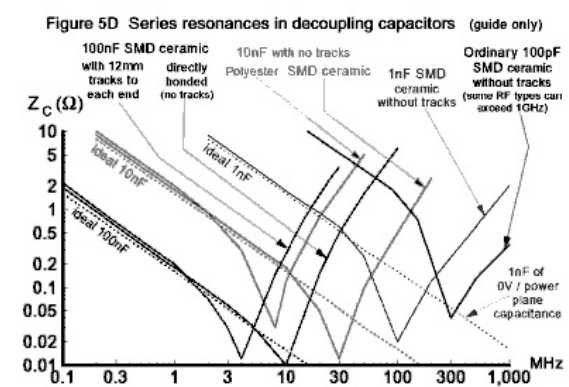
コンデンサの自己共振は高周波においてそれに低インピーダンスを与えることを止めさせ、容量が大きいものは通常はより悪くなる。コンデンサの最初の自己共振周波数 (SRF) は直列共振によるものであり、このための親指の法則は：

$$f_{res} = 1 / (2\pi\sqrt{LC})$$

ここで：L = 等価直列インダクタンス（コンデンサ内部の）+ 全てのリードのインダクタンスの合計 + トラックやビアのインダクタンスの合計。

コンデンサから IC の電源ピンへのリードやトラックに対しては、1nH/mm を仮定できるかも知れない。0V や電源のプレーンによって与えられるインダクタンスは、コンデンサが IC の近くにある場合には無視しても良い。Figure 5D に示すように、デ

カップリング・コンデンサは通常はその SRF の 3 倍以上の周波数では効果がなくなる。



人気のある 100nF のコンデンサに注意すると興味深い：これはトラックが全くないとしても 50MHz 以上では実質的に役に立たなくなるにも関わらず、依然として 50MHz を超えるクロックを持つ回路にしばしば見られ、これは高調波を気にするまでもなく基本クロック周波数の制御を助けることもできない。

非常に近接した 0V と電源のプレーンは、（その低い内部、及び接続のインダクタンスによって）1GHz 以下の SRF を持たないコンデンサを与えることができる。FR4 の PCB で 0.15mm 離れた 2 つのプレーンは、おおよそ 23pF/cm² の高品質 RF コンデンサを達成する。10 ~ 1000MHz の良好なデカップリングは、近接した 0V と電源のプレーンと、SMD のセラミック・コンデンサ (COG や NPO タイプが最良) との組み合わせによって達成することができる。2 つの異なった容量のコンデンサ（例えば 100nF と 1nF）が必要となることもあるかも知れない。IC の電源ピンやデカップリング・コンデンサからプレーンへの低インダクタンスの接続は必須であり、そのコンデンサは IC の近くに置かれなければならない。IC の電源ピンからデカップリング・コンデンサへ、そしてそこからのみプレーンへトラックを引く共通のプラクティスは、プレーンの静電容量の最良の使い方をしない。

2 つのコンデンサが並列に接続されると、その周波数で電源インピーダンスを台無しにすることのできる高い Q（すなわちシャープな）、高いインピーダンスの共振が発生する。これは、それぞれのシャープな高インピーダンスの共振に対して多数の低インピーダンスの代替電流経路が存在し、それを鈍らせることから、1ダース以上のデカップリング・コンデンサを持つ PCB では容易に処理することができる。この鈍化のプロセスを助けるためにプレーンの IC の存在しない大きな領域に 10 ~ 100nF のデカップリング・コンデンサを取り付けることは、良いアイデアかも知れない。並列共振は非常にシャープであり、しばしばどの高調波にも対応しないため

に何の影響も持たないが、これが新しい PCB にも該当する (そして誰もそのクロック周波数を変更しない) ことがわかっていない限り、この転覆の可能性を無視することは危険である。

並列共振問題は、例えば小さい回路領域が専用の電源プレーンから給電されている場合のように、ごく少数のデカップリング・コンデンサのみが用いられている場合に起こりやすい。これは、容量の大きな側のコンデンサの一方のリードと直列に小さい抵抗 (例えば 1Ω) や小さいフェライト・ビーズ (SMD パッケージと短いトラックを用いることが望ましい) を付けることによって制御できるかも知れない。その代わりに、異なった容量の多数の追加のコンデンサを付け足すことも助けとなるであろう。

PCB プレーンの平行した縁における特性インピーダンスの急激な変化は、半波長の整数倍での共振を引き起こす。例えば、 150mm の幅や長さにおけるそのような最初の共振は裸の PCB 上で 500MHz 付近となり、PCB がデカップリング・コンデンサ (これはプレーン内の伝搬速度を低下させる) で負荷されると周波数は低下する。これが、前の章で正方形でない (そして単純な縦横比でない) プレーン形状を推奨した理由である。PCB の様々な領域で発生した高インピーダンスは多数のデカップリング・コンデンサを取り付けることによって制御することができ、従ってこれは大きなプレーンと少数のデカップリング・コンデンサを持つ高周波で動作する回路においてのみ問題となるであろう。 $1\sim 10\text{nF}$ のデカップリング・コンデンサをプレーンの縁の近くに付けることによってこの影響を低減できるという提案がある。

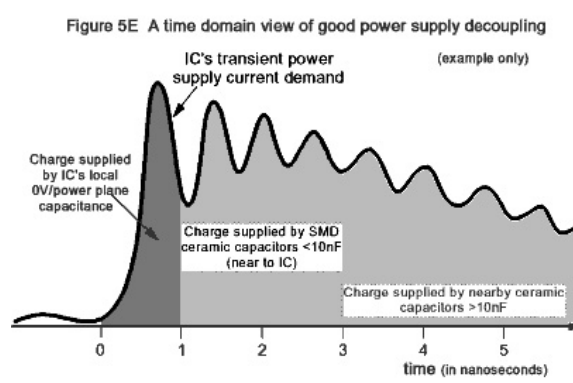


Figure 5E は、1つの例として、良い電源デカップリングがどのように機能すべきかを時間領域で見たものを示す。最初の 1ns 程度までの過渡電流は局所的な 0V / 電源プレーン・コンデンサのみによって、 $1\sim 3\text{ns}$ は近傍に置かれた 10nF までの SMD セラミック・コンデンサによって供給される。

より大きな (あるいはより離れた) コンデンサは、少なくとも 3ns よりも後の電流需要にのみ寄与

ることができる。「バルク」コンデンサ (例えばタンタル) は、たとえ近くにあるとしても (セラミック以外の誘電体や電解液は、誘電吸収効果 — 誘電記憶、あるいは誘電緩和としても知られる — のため、過渡電流需要への反応が遅い)、 20ns 程度以降でのみ充分な電流を与えることができる。

その静電容量を増やして小容量のデカップリング・コンデンサの大半を不要とする、隣接した 0V プレーンと電源プレーンのあいだに特別な誘電体を用いる PCB プロセスが使用できる。三端子、あるいは「貫通」SMD デカップリング・コンデンサは通常の二端子のコンデンサよりもかなり高い SRF を持つが、より高価である。リード付き IC の下に取り付けられるように作られた板状のコンデンサ・コンポーネント (Micro/Q シリーズのような) もあるが、これも高価であり、おそらくは既存の PCB をそれを置き換えることなく改善するために最も良く使われているであろう。

5.4.3 電源プレーンを使わないデカップリング

充分であるかも知れないデカップリングを電源プレーンを使わずに達成する 1つの方法は、デカップリング・コンデンサの一端を IC の電源ピンに非常に短い太いトラックで接続し、さらにコンデンサのその端を給電ラインに (若干のインダクタンスを作るために) 細いトラック、あるいは IC の電流に応じたフェライト・ビーズで接続することである。単一のデカップリング素子で高い SRF が達成できるという利点のために、三端子の、あるいは高性能のコンデンサが用いられるかも知れない。このテクニックは依然として 0V プレーンを必要とする。多数のフェライト・ビーズや高価なコンデンサが必要となる場合には、多層板の方が費用効果が良く、また小さい面積しか要しないことに気付くかも知れない。

5.5 伝送線路

伝送線路は、選択された特性インピーダンス Z_0 を信号源から負荷まで維持し、(第 2 部で説明したように) 他の全ての相互接続と異なり、それが長い場合でも共振を起こさない。伝送線路は、材質と寸法を管理し、信号源、及び / もしくは負荷に適切な終端抵抗を付けることによって、PCB 上で容易に作ることができる。これは (必要であれば) インピーダンスの管理された適切なケーブルとコネクタを用いて PCB の外にまで延長することもできる。

PCB トラック導体の長さ、と所定の媒体 (例えば FR4) 上での関係する最大周波数の波長、もしくはは信号の立ち上がり / 立ち下がり時間との比較は、そのトラックの「電気的長さ」と呼ばれるものを与え

る。電気的長さは波長との比率、もしくは立ち上がり / 立ち下がり時間との比率として表現できる。導体が「電気的に長い」場合には、周波数応答（「平坦性」と呼ばれることがある）を維持し、あるいは波形の過度の歪みを防止するために、伝送線路を用いる必要がある。PCB 上での高速信号においては、信号インテグリティと EMC の双方のために、全ての電気的に長いトラックに対して伝送線路テクニックが必須となる。

粗雑な親指の法則は、関係する最短の波長の $1/7$ を超える、あるいは信号の先端がそのトラックの最遠端に到達するまでの時間がその立ち上がり、あるいは立ち下がり時間の半分以上を超える場合には、その導体は電気的に長いというものである。 2ns の立ち上がり時間を持つと規定されている高速 TTL について考えよう。高周波での FR4 の誘電率は 4.0 程度であり、これは光速の 50%、あるいは $1.5 \times 10^8 \text{m/s}$ の信号速度を与え、 6.7ps/mm のトラック伝搬時間と等価である。FR4 PCB 上の信号は 2ns では 300mm 程度進むので、 150mm よりも長いトラックでは高速 TTL 信号には伝送線路を用いる必要があるということになる。残念ながら、この回答は誤りである。「立ち上がり時間の半分」の規則は極めて粗雑なものであり、その欠陥を理解していない場合には問題を引き起こすことがある。

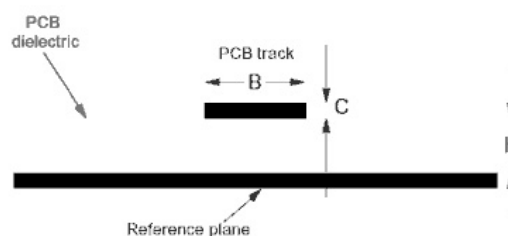
出力の立ち上がり / 立ち下がり時間についてのデータブックの仕様は最大値であり、ほとんどのデバイスはかなり速くスイッチする（実際のデータがない場合には少なくとも 4 倍は速いと仮定せよ）。異なったロットからの多数のサンプルを測定し、デバイス製造業者からマスクの変更に先立って警告を行なうという合意を取り付けることが最良である。また、接続されたデバイスによる不可避な容量性負荷が、裸の板の上で達成される値よりも伝搬速度を低下させる。従って、単に適切なデジタル信号インテグリティを達成するためだけに、上の規則が示唆するよりもかなり短い長さのトラックに対しても伝送線路を用いるべきである。これらの 2 つの点を考慮に入れたならば、 30mm より長いトラックについては（そしておそらく短い場合でさえも） 2ns と規定された立ち上がり / 立ち下がり時間の信号のために伝送線路を使う必要があると気付くかも知れない。

伝送線路はしばしば次のようなものに用いられる：クロック分配や高速バス；SCSI や USB のように遠くに伝搬しなければならない低速信号；そして 10Base-T Ethernet や RS485 のような、非常に長い距離を伝搬しなければならないさらに低速な通信。ほとんどの伝送線路は高速信号の波形を維持し、またそのエミッションを低減するために用いられているが、伝送線路テクニックは外部フィールドのピッ

クアップの程度を低減するためにも全く同じ形で働くので、EMC イミュニティの目的のためにも価値がある。アナログ・デバイスは数百 MHz の RF を復調する傾向が強い（第 1 部を見よ）ので、環境（製品の内部の場合もある）の高周波フィールドによる汚染を防止するために低帯域信号（例えばアナログ計装）に伝送線路を用いることも役に立つ。イミュニティの目的のための伝送線路の設計の際には、「関係する最短の波長」や「関係する最大周波数」は重要なパラメータとなる。

IEC 1188-1-2: 1998 [2] は、PCB トラックで様々な伝送線路を構成するための詳細や、その製造を指示し、完成品の品質を検査する方法を豊富に与えている。[1]、[3]、[4]、及び [5] もこの広く詳細なトピックに関して非常に有用であるので、以下では 2 つの最も一般的な種類のもののみを解説している。

Figure 5F A surface microstrip



最初の例は表面マイクロストリップ (Figure 5F を参照) であり、その Z_0 は：

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \times \ln \left(\frac{5.98H}{0.8B + C} \right)$$

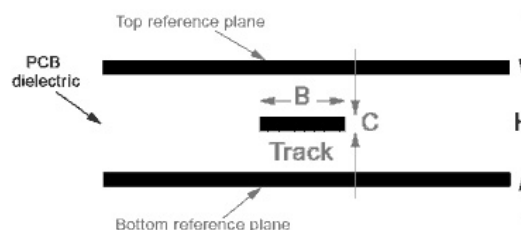
によって Ω で与えられる。ここで、 ϵ_r は基板の比誘電率 (FR4 の 100MHz における典型的な値は 4.4)、 B はトラックの幅、 C は用いられている銅箔の厚さ、そして H は基板の厚さである。

その伝搬速度は：

$$V_0 = 3.335 \sqrt{0.475\epsilon_r + 0.67}$$

によって ns/m ($= \text{ps/mm}$) で与えられる。

Figure 5G A symmetrical stripline
(where the track is centred between the planes)



2 番目の例は、2 つの基準プレーンを用いる対称なストリップライン (Figure 5G) であり、その Z_0 は：

$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \times \ln \left(\frac{1.9H}{0.8B + C} \right)$$

対称ストリップラインにおける ns/m (= ps/mm) で表した伝搬速度は：

$$V_0 = 3.335\sqrt{\epsilon_r}$$

ストリップラインはマイクロストリップよりもやや低速となるが、遠端クロストークがなく、基板外への漏洩もはるかに低くなるので、EMC のためには最良である。

[1] は、上の式に対する、容量性負荷 (典型的にはゲートごとに数 pF) の補償のための補正係数を与えている：

$$Z'_0 = \frac{Z_0}{\sqrt{1 + C_d/C_0}}$$

C_d は全ての容量性負荷の合計、 Z_0 はその線路の元の (無負荷の) 特性インピーダンス、そして C_0 は [2] で与えられている基本式から得られた線路 (無負荷の) の特性容量である。伝搬速度は、[1] からの次の式に従って遅くなる：

$$V'_0 = \frac{V_0}{\sqrt{1 + C_d/C_0}}$$

ここで、 V_0 は元の (無負荷の) 伝搬速度である。負荷デバイスがまとめられた場合でもその全長にわたって一定の Z_0 が維持されるようにトラックの位置によって線の寸法を補正することが可能であるかも知れないものの、負荷デバイスの列のレイアウトに際してはそれらをまとめるのではなく一定な「ゲート / 単位長」が望まれる。

最も高速な (あるいは最もクリティカルな) 信号は、0V プレーン、できればデカップリングのために電源プレーンと組となったものに隣接して引くべきである。ややクリティカルでない信号は、その電源プレーンが適切にデカップルされており、ノイズ過ぎない (すなわち上で示したように正しくデカップルされている) ならば、電源プレーンに対向して引くことができる。そのような電源プレーンは、いずれも信号の IC に関連したものでなければならない。2 つの 0V プレーン (一方、もしくは双方がデカップリングのために電源プレーンとペアとなっている) のあいだを引かれたストリップラインは最良の信号インテグリティと EMC を与える。

Z_0 の急激な変化が引き起こされるため、伝送線路が用いるプレーンのいずれにも破断、隙間、あるい

は分割があってはならない。また、それらはいかなる破断、隙間、分割、あるいはプレーンの縁からでもできる限り、少なくともそのトラック幅の 10 倍は離れているべきである。低いクロストークのためには伝送線路間に少なくともそのトラック幅の 3 倍の間隔を必要とする。非常にクリティカルな、あるいは侵略的な信号 (例えば無線アンテナとの接続) は、それを壁で仕切って同軸状の構造を構成する、その両側に沿った、2 つの 0V プレーンの間の密集したビアの列を伴った対称ストリップラインを用いることから利益を得るかも知れない。これは上のものとは異なった Z_0 の式を必要とする。

上の 2 種類の伝送線路は 2 つ、あるいはそれ以上の PCB レイヤを必要とするので、(量産では 4 層 PCB は 2 層のものよりも 20% 以上高くないであろうものの) 大量生産される安価な製品のためには高いものとなることがある。平衡、及びコプレーナ線路は単一の PCB レイヤ上に構成することができ、高速信号に最低のコストの PCB を使わなければならない場合の解決策となるかも知れない。単一レイヤ伝送線路はマイクロストリップやストリップラインの 2 ~ 3 倍の面積を要するので、実際に必要とされる面積に備えておくこと。また、PCB のコストを削りすぎるとエンクロージャ・シールドやフィルタの費用を増やさざるを得なくなることにも注意せよ。EMC 問題をエンクロージャ・レベルで解決するためにはそれを PCB レベルで解決した場合の 10 ~ 100 倍のコストを要するというのが、一般的な法則である。従って、PCB のレイヤの数を減らすことによってコストをぎりぎりまで削ろうとするのであれば、EMC と信号インテグリティを仕様の範囲に収めるために PCB の設計の繰り返しを何回か増やす時間とコストを考慮し、また PCB の面積の増加を考慮すること。

5.5.1 レイヤの移動

高速の、あるいはその他のクリティカルな伝送線路はレイヤを移るべきではない。これは、最も高速の回路とトラックの領域を最小限とするためにコンポーネントを動かしながら、クロック分配を最初に引き回すことを意味する。高速バスや高速データ通信などは、これも 1 つのレイヤに保ちながら、次に引き回される。そして、その他の全てのもの (信号インテグリティや EMC についてそれほどクリティカルでないもの) が、必要であればレイヤを移りながら、その周りに引き回される。クリティカルな伝送線路のレイヤを移すことに代わる妥当な手段がないならば、信号がレイヤを移る点の近くに、全ての関連するプレーンを繋ぐビアとともに、デカップリング・コンデンサ (適切な周波数応答の) を取り付けるべきである。

表面実装部品を PCB の同一の面のマイクロストリップ伝送線路と共に用いる場合には同一のレイヤに保つことは容易である。ストリップラインはマイクロストリップよりも低漏洩である—しかし、これは通常は悪いことであるレイヤの移動を意味する。(マイクロ波回路設計者はしばしば PCB 伝送線路インピーダンス—通常は 50Ω —と全く同じ幅のリードを持つ表面実装部品と共にマイクロストリップを採用するが、彼らは通常はアルミニウムのハウジングに削られた窪みにそれぞれの増幅ステージを収めもする。そのようなテクニックは通常はコンピュータや DSP ボードには相応しくない。) ストリップラインを用いるのであれば普通はレイヤの移動が必要となるが、どのようにすればその影響を低減することができるだろうか？

既に我々はそれぞれの IC について少なくとも 1 つのデカップリング・コンデンサを持っている (5.4 節を見よ) ので、IC の近くでレイヤを移ることができるが、信号経路のストリップライン層を共有しない部分の電気的な長さを考慮しなければならない。粗雑な親指の法則はその部分は立ち上がり時間の $1/8$ (関係する最短の波長のおおよそ $1/30$) よりも長い電気的な長さを持つべきではないというものである。 Z_0 の非常に大きい変化が生ずる箇所 (例えば ZIF やその他の IC ソケットが用いられる場合) では、立ち上がり時間の $1/10$ 未満を目指した方が良好であろう。これらの規則を最大長を決定するために用い、可能な場合にはこの長さよりも十分に短く保つこと。

従って、 2ns の立ち上がり時間を持つと規定された信号については、おそらく IC 本体の中心や線路終端抵抗の中心から 10mm よりも遠くでレイヤを移るべきではない。これは実際のエッジ速度がデータ・シートの最大値よりも速い場合のための 4 倍の「安全率」も含んでいる。関係する電源やグランド全てを (それぞれ) 相互接続する少なくとも 1 つのデカップリング・コンデンサも、レイヤを移るいかなる伝送線路からも同等の距離以内にあるべきである。そのような短い長さは大きな IC ではしばしば達成することが難しく、これは現代的な高速 PCB レイアウト固有の妥協のいくつかを明らかにする。これは、なぜ物理的に小さい IC が望ましく、また BGA やフリップ・チップのような接続テクニック (これらは PCB トラックからシリコンそのもののまでの距離を削減する) の開発や改善が継続的に行なわれているかの、少なくとも 1 つの理由も明らかにする。

5.5.2 シミュレーションと試作試験

IC の種類や用途の違いから、一部の技術者はこれらの親指の法則が充分ではないことに気付き、また

一部はそれが過剰設計であることに驚くであろうが、そもそもそれが親指の法則の機能である。

実際の PCB レイアウトから抽出したパラメータに基づいて EMC、及び / もしくは信号インテグリティを計算する、コンピュータを用いた回路シミュレーション・テクニックがより有用なものとなってきたおり、ここで示した粗雑な親指の法則の代わりにそれらを使用することが推奨される。しかし、デバイスのスイッチング速度はほとんど常にそのデータ・シートの仕様よりも明らかに速いため、データ・シートの特性を用いるシミュレーションは誤った自信を与えるであろうことを銘記されたい。

その波形が十分に良いかどうかを見るために、最初の試作 PCB で高速のオシロスコープやプロービング・システムを用いた試験を行なうべきである。PCB を伝搬しても歪まない波形が目標であり、その結果は十分に良いものとはなるかも知れないものの、単にこれらの親指の法則に従うだけではそのような完璧さを達成することは期待できない。高速オシロスコープ、及び / もしくはスペクトラム・アナライザと単一の巻き線を用いた近接フィールド・プローブは、試作 PCB のレベルで信号インテグリティや EMC の問題を検出するためのもう 1 つの良い方法である。ここでは試作試験に関するテクニックはこれ以上議論しない。

洗練されたモデリングやシミュレーションのテクニックを用いたとしても、常に初期の試作で信号インテグリティや EMC を確認せよ。

5.5.3 伝送線路の製造について

通常の FR4 PCB 材料は、 1MHz で約 4.7、 1GHz で約 4.2 の、周波数の上昇に従っておおむね直線的に低下する公称比誘電率 (ϵ_r) を持っている。 ϵ_r の実際の値は、 $\pm 25\%$ 変動することがある。 ϵ_r が管理されたグレードの FR4 はわずかな追加コストで、あるいは追加コストなしで入手することができるが、PCB 製造業者は特に要求されない限りそのグレードを使わないかも知れない。PCB 製造業者は標準的な厚さの銅箔で製造を行なうが、それは (その製造許容差とともに) 設計開始の前に知らなければならない。次に、入手可能な範囲の誘電体の厚みで要求される Z_0 を実現するように、トラック幅を選択することができる。通常、PCB 処理の後でのトラック幅はフォト図の上のものよりも $1/100$ インチ程度少なくなる。必要な最終的なトラック幅を実現するために、描画されるトラックにどれだけの幅を加えるべきかを尋ねること。

1GHz 以上の信号周波数のためには、マイクロ波アプリケーションで用いられているような FR4 以外の誘電体 (例えば、Rogers Corporation Inc. の Duroid や、その他の様々な現代的な誘電体) を用いる必要があるかも知れない。

5.5.4 伝送線の終端

「古典的」な RF 伝送線路は、信号源と負荷の双方で、その Z_0 に等しいインピーダンス (信号源と負荷のデバイスの内部インピーダンスを含めて) で終端される。これは理想的であり、必要となることもあるテクニックではあるものの、受信される電圧を半分にする— 従って、大半の普通のアナログやデジタルの回路は、信号レベルを保つために、片側だけで終端された線路とともに、低い信号源インピーダンスと高い負荷インピーダンスを用いている。

RF 技術者はしばしばリアクタンス性コンポーネントを、あるいはトラックの長さをも線路の終端に用いるが、高帯域のアナログ信号や一般的なデジタル信号は個別の抵抗を、優れた高周波性能のためにはできれば SMD 型のものを必要とする。SMD 抵抗から最良の性能を得るためには、それは Figure 5C で示したような低インダクタンス・テクニックを用いて基準プレーンに接続しなければならない。

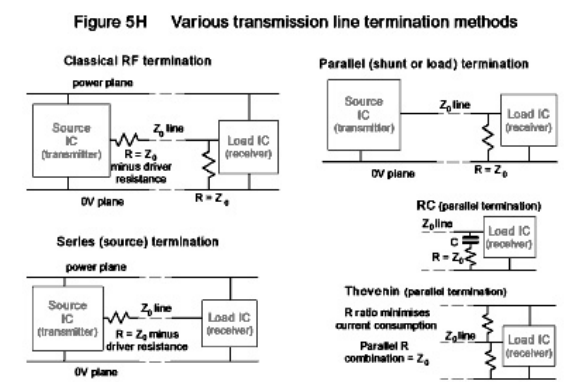


Figure 5H は一般的な終端テクニックを示している。古典的な RF 終端は、高速バックプレーン・システムなどの高速なデジタル信号のために、依然として用いられている。

信号が単一の PCB に限定されている場合には、ドライバの出力インピーダンスと直列にした時に Z_0 と整合するように選択された抵抗による、伝送線路の駆動端での直列 (信号源) 終端が用いられるかも知れない。この手法は電力の消費が少ないという利点を持ち、遠端に単一の負荷デバイスがある線路には最適である。線路に沿って他の負荷が存在する場合には「反射波スイッチング」が観察され、誤ったクロッキングを防止するためにその応答を遅くすることが必要となるかも知れない。

線路の最遠端での並列 (分流、あるいは負荷) 終端は、線路に沿って複数のデバイスが分散しており、しかもそれらが最も高速に回答しなければならない場合に用いられ、「入射波スイッチング」を達成する。Figure 5H は 0V プレーンに接続された終端抵抗を示しているが、一部のロジック・ファミリーは他の基準電圧を用いる (例えば ECL では正電源ブ

レーン)。並列終端は多量の電力を消費し、ある種の IC の出力を過負荷とするかも知れない。

並列終端の代替手段には、「テブナン」、及び RC が含まれる。テブナンは、その並列抵抗が Z_0 となり、また電力消費を最小とするためにその接続点での直流電圧が線路電圧の平均と一致するように設計された抵抗値を用いる。テブナン終端は関係のある全周波数で適切にデカップルされた電源プレーンを必要とし、従って近傍にデカップリング・コンデンサを必要とする。RC 終端は (典型的には) 10 ~ 620pF の容量のコンデンサを用い、線路を高周波に対してのみ終端する。コンデンサの問題 (以前に議論した) のため、RC 終端では並列終端やテブナン終端の最高の周波数性能と同じものを得ることはより困難になるかも知れない。

「アクティブ終端」はデジタル信号の公称平均電圧の追加の電源プレーンを駆動するために電圧レギュレータを使用する。このプレーンは関係する周波数に対して適切にデカップルされていなければならない、並列線路終端はこのプレーンに接続される。これはテブナン終端と電氣的に等価であるが、電圧レギュレータ (電流を吸い込むと同様、吐き出すこともできなければならない) をクラス AB で動かすことによって電力を節約することができる。

線路が双方向に駆動される場合、妥協としての終端抵抗 (直列でも並列でも) の位置は線路の中央であり、そのような線路は常に非常に短く保たなければならない、デバイスの速度が示唆するような速い信号を流すことはできないかも知れない。線路の中央での直列終端の代わりに全ての潜在的なドライバでの直列終端を用いることもできるかも知れないが、関係する全ての線路が非常に短くない限り良い信号インテグリティを与えないであろう。線路の両端での並列終端は良好な性能を与え、高データ・レートを可能とするが、ドライバはその結果としての低いインピーダンスを駆動できる能力を持たねばならず、また電力消費も大きくなる。線路の両端での並列終端 (あるいはテブナン終端やアクティブ終端) は、Ethernet や SCSI などのシリアルやパラレルのデータ・ケーブルで用いられている。

直列終端された複数の独立した伝送線路を「スター」接続する場合には、総信号源インピーダンスが全てのスター線路の並列合成と等しくなるように選ばれた 1 つの終端抵抗を用いるか、あるいはそれぞれの線路に整合する 1 つの抵抗を用いる。後者のテクニックの方が良いであろう。スター構成は並列終端された複数の線路を駆動するためにも用いられるかも知れない。いずれの場合でも、信号源は全ての線路の Z_0 の並列合成を駆動する能力を持たなければならない。

通常、信号電流を低減し、またトラックからの放射を低減するために、高い Z_0 を選択した方が良い。多くの普通の CMOS や TTL の IC は伝送線路を駆動するには設計されておらず、駆動能力も、吐き出しと吸い込みとで等しい出力インピーダンスも持たない。そのようなデバイスは高インピーダンス線路で直列、テブナン、RC、あるいはアクティブ終端を用いることができるかも知れないが、与えられたロジック・ファミリーのための使用すべき最良の手法や線路インピーダンスを予測することは難しいかも知れない。

しかし、今では伝送線路を駆動することのできるより多くのデバイスが入手でき、多くの LVDS や類似のデバイスがクロックやバスの駆動を大いに容易にし、また EMC 問題を低減している。独立した4つの 100Ω 、あるいは6つの 150Ω 線路の「スター」駆動に適切な、 25Ω の出力インピーダンスのバックプレーン・バス・ドライバが入手可能である。古典的な方法で終端された線路で使用した際に受信ロジック・レベルが正しくなるようにするために、無負荷の出力を正しいロジック・レベルの2倍とするためのオン・チップの DC/DC コンバータを持つデバイスもある

5.5.5 レイヤの割り当て

上のデカップリングに関する章は、0V と電源のプレーンを隣接したレイヤに設けてそれらの間に薄い (例えば 0.15mm) 誘電体を用いることによってその静電容量を最大にすることは良い EMC プラクティスであることを示している。上の伝送線路に関する章は、高速トラックのためには基準プレーンへの近さが重要であることを示している。PCB レイヤを割り当てる方法を決めるために、これらをまとめることができる。

4層 PCB は、しばしばそのレイヤを次のように割り当てる：

1. マイクロストリップ伝送線路や、その他のクリティカルな信号
2. 0V プレーン
3. +5V プレーン
4. クリティカルでない信号

より多くの信号レイヤが必要であっても、0V と電源のプレーンの「コア」は残されるべきである。高速信号の追加のレイヤは追加の 0V プレーンを必要とするかも知れないが、高速クロック、データ・バス、あるいは類似の侵略的な、もしくは非常にクリティカルなトラックは、レイヤを交換すべきではない。

ここに、8層コンピュータ・マザーボードのための多数の可能な割り当てのうちの1つを示す：

1. 0V プレーン
2. クロストークを低減するためにレイヤ 3 と直角に引き回された、最もクリティカルな「オフセット・ストリップライン」やその他の信号
3. クロストークを低減するためにレイヤ 2 と直角に引き回された、最もクリティカルな「オフセット・ストリップライン」やその他の信号
4. 0V プレーン
5. +5V プレーン
6. クロストークを低減するためにレイヤ 7 と直角に引き回された、クリティカルでない信号
7. クロストークを低減するためにレイヤ 6 と直角に引き回された、あまりクリティカルでない「オフセット・ストリップライン」やその他の信号
8. 0V プレーン

5.5.6 分岐、スタブ、及びバッファ

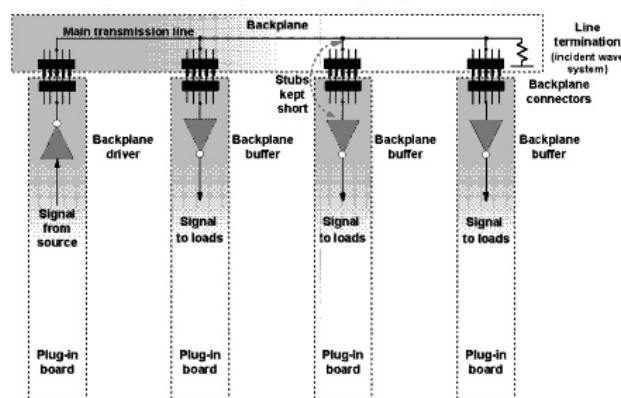
ここまでは伝送線路を1対1の接続であるかのように扱ってきたので、RAM アレーのようなバス・システムや、バックプレーン・システムのようにいくつかのカードが高速信号で相互接続される状況に目を向ける必要がある。

メインのトラックとの分岐点から延びるトラックは「スタブ」と呼ばれる。メモリー・アレーのための通常の PCB レイアウト・テクニックは、バスを1つのレイヤで水平に引き、アレー・デバイスに接続するために縦に引かれたスタブのある別のレイヤに「ビア接続」することである。伝送線路を維持するために、それらのスタブの電気的な長さは立ち上がり時間の $1/8$ 以下に (望ましくは遥かに短く) 保たなければならない。重要なパラメータは信号の実際のスイッチング速度であり、そのドライバのデータ・シートの規定ではないことを忘れないこと。疑いがあるならば、ドライバがデータ・シートの最大値よりも4倍高速にスイッチすると仮定せよ。

この計算に用いるスタブ長はトラックの端 (IC の半田付けピン) から IC 自身の中央までの距離を含むべきである。許容されるスタブ長が伝統的な「水平と垂直」のアレー配線のためには短すぎる場合には、その代わりにデージー・チェーン布線を用いるべきである。デージー・チェーン布線は、特にトラック全体が1つのレイヤに留まる場合には、通常は高速信号のためにはどのような場合でもより良いものである。デージー・チェーン布線は、トラックのバスが信号源から直接それぞれの負荷を回することを意味する。トラックの方向の急激な変化は避け、その代わりに緩やかなカーブや大きな角度を用いるべき

である。入射波システムでは、デージー・チェーンされたトラックは並列、テブナン、RC、あるいはアクティブ終端抵抗で終るであろう。

Figure 5J Example of buffering to prevent long stubs



電氣的に長いスタブを避けられない場合には、スタブ長を最小限にするためにメインのトラックの近くにバッファを取り付けるべきである。これは、Figure 5J に示すように、いくつかのプラグ・イン・カードの全てが同一のクロック線やデータ・バスで駆動されなければならないバックプレーン・システムでしばしば用いられる。クロック・バッファは全てバックプレーン・ボード・コネクタの非常に近くに取り付けなければならず、信号速度やデータ・レートが増加するとインピーダンス整合したバックプレーン・コネクタが必要であることに気付くことがより普通となる。プラグ・イン・カードがバックプレーンのクロックやデータ・バスに接続する必要がある IC を 1 つか 2 つしか持たない場合には、それらをバックプレーン・コネクタの近くに配置することによってバッファを使わずに済ませられるかも知れない。

バッファリングは伝送線路の負荷を低減するためにも良いテクニックである。例えば、全てが 1 つの信号を受け取る、それぞれが 10 個の IC を持つ 10 枚のプラグ・イン・カードがある場合、その負荷容量の合計は 400pF 程度に達し得る。この大きな容量への信号電流と還流電流は長い距離を流れ、EMC 問題を生ずる可能性を増加させる。それぞれのカードで信号をバッファリングすることはメインの線路が 40pF 程度のみによって負荷されることを意味し、それぞれのカードの 10 個のデバイスへの信号電流と還流電流はそのカードの中のみを流れ、これは信号インテグリティを向上し、EMC 問題を低減する。

高速信号をコネクタやバックプレーンを介して伝達
 する場合には、(特に伝送線路のためには) 同一の
 物理的構造を維持することが重要である。例えば、
 プラグ・イン・ボードのストリップラインはバック
 プレーンでもストリップラインのままであるべきで

ある(そのトラックの寸法が同一の Z_0 を維持するものである限り、信号インテグリティのある程度の悪化と引き替えに伝送線路の種類を他のものに交換することも可能ではあるが)。バックプレーン・コネクタに入る伝送線路が電源プレーンに対向して引かれている場合には、その電源プレーンはそのコネクタを通してバックプレーンに、そしてその信号を使用する他のカードの対応する電源プレーンに続くべきである。ボードとバックプレーンの電源プレーンの相互接続は 0V 還流プレーンと同様の方法で設計されるべきである。ある種のボードでは、そのバックプレーン・コネクタの最適なピン配列が、0V、信号 1、+5V、信号 2、0V、信号 3、+5V、信号 4、0V、... のようにすることを必要とするとわかるかも知れない。

5.5.7 バックプレーン・システムの分離

上の 5.1 節は、高速デバイスは分離領域の中央に、PCB や基準プレーンの縁やコネクタから十分に離れて置くべきであると言っている。上の節と Figure 5J に示されているバックプレーン・システムは最も高速の IC をバックプレーン・コネクタの近くに配置しているが、これは高周波において そのバックプレーンがプラグ・イン・ボードの延長となるように設計されているならば、前の規則を損なわない。

これはバックプレーンの基準プレーンとプラグ・イン・ボードの対応する基準プレーンを RF 接続すること、すなわち関係する最高の周波数においてそれらの間にインピーダンスの不連続がないことを必要とする。シールド付コネクタを使用することは助けとなる— そのシールドは組み合わせられる相手との 360 °接続を行なうべき（このシリーズの第 2 部を参照）であり、また両側で 0V 基準プレーンの全長にわたって接続すべきである。シールド付きコネクタを使う場合でも使わない場合でも、コネクタ内の 1 つか（最大）2 つの信号や電源ピンごとに 1 つの信号還流ピンを持つべきであり、それらの還流ピンはコネクタの全長にわたってかなり規則的に並べられるべきである。大半の設計者は還流ピンを規則的な方法に従って配置するであろうが、ランダムな配置に利点があるといういくつかの証拠がある。インピーダンス整合したコネクタは、いずれにしてもほとんど常にそれぞれの信号ピンに隣接した還流ピンを持つ。

バックプレーン・コネクタに関する全ての高速デバイスがコネクタの中央に近いことを確かめることは重要であり、それらはボードの外側の縁の近く、コネクタの端の近くにあってはならない。バックプレーン・コネクタがカードのエッジの全長を占めているならば最良であるが、そうできない場合でもそのバックプレーン・コネクタに関する高速デバイスの領域よりも両側に十分に広がるべきである。

5.6 有用な資料

1. M. Montrose, *EMC and the Printed Circuit Board, Design, Theory, and Layout Made Simple*, IEEE Press, 1999, ISBN 0-7803-4703-X
2. IEC 61188-1-2: 1998, *Printed Boards and Printed Board Assemblies - Design and Use. Part 1-2: Generic Requirements - Controlled Impedance*
3. IPC-2141, *Controlled Impedance Circuit Boards and High Speed Logic Design*, Institute for Interconnecting and Packaging Electronics Circuits, April 1996
4. T. Williams, *EMC for Product Designers*, Newnes, Oxford, 1992, ISBN 0-7506-1264-9.
5. H. W. Johnson and M. Graham, *High Speed Digital Design, a Handbook of Black Magic*, Prentice Hall, 1993, ISBN 0-13-39-5724-1.

Keith Armstrong は、このパートと同じテーマをもう少し詳細に論じた論文を、IEE の Electronics & Communication Engineering Journal に発表している。

- M. K. Armstrong, *PCB Design Techniques for Lowest-Cost EMC Compliance: Part 1*, Electronics & Communication Engineering Journal, Volume 11 Number 4 (August 1999), pp.185-194, IEE
- M. K. Armstrong, *PCB Design Techniques for Lowest-Cost EMC Compliance: Part 2*, Electronics & Communication Engineering Journal, Volume 11 Number 5 (October 1999), pp.218-226, IEE

Copyright (C) 1999 Nutwood UK Ltd.

これは、Keith Armstrong 氏が UK EMC Journal 上で発表した文書を、その許諾を得て T. Sato が翻訳したものです。この翻訳については、原著者らはいかなる責任も持ちません。これについての意見、質問などは VEF00200@nifty.ne.jp (T.Sato) 宛にお送り下さい。

Last update: March 12, 2000